

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-093682

(43)Date of publication of application : 25.03.2004

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2002-251750

(71)Applicant : TOSHIBA MATSUSHITA DISPLAY
TECHNOLOGY CO LTD

(22)Date of filing : 29.08.2002

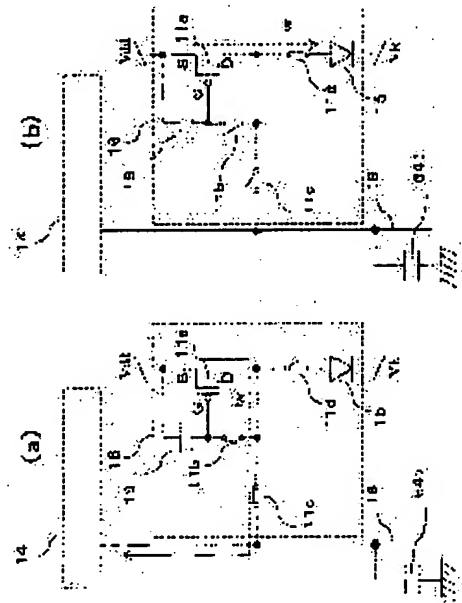
(72)Inventor : TAKAHARA HIROSHI
TSUGE HITOSHI

(54) ELECTROLUMINESCENCE DISPLAY PANEL, DRIVING METHOD OF ELECTROLUMINESCENCE DISPLAY PANEL, DRIVING CIRCUIT OF ELECTROLUMINESCENCE DISPLAY APPARATUS AND ELECTROLUMINESCENCE DISPLAY APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method of an electroluminescence display apparatus by which successful color display can be realized.

SOLUTION: When large electric current is made to flow in a source signal line 18, an electric current value is programmed in a pixel 16, large electric current flows in an electroluminescence element 15 to emit light with high brightness. For example, when electric current with 10 times intensity is programmed, electric current with 10 times intensity flows in the electroluminescence element 15 and the electroluminescence element 15 emits light with 10 times brightness. In order to obtain a prescribed luminous brightness, electric current with N times intensity is programmed in the pixel 16 and a period when the electric current flows in the electroluminescence element 15 is set to 1/N. By driving thus, parasitic capacity 641 of the source signal line 18 can be fully charged and discharged to obtain prescribed luminous brightness. Since the parasitic capacity 641 can be fully charged and discharged, write-in deficiency does not occur and sufficient resolution can be realized.



LEGAL STATUS

[Date of request for examination]

10.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-93682

(P2004-93682A)

(43) 公開日 平成16年3月25日 (2004. 3. 25)

(51) Int. Cl. 7

F I

テーマコード (参考)

G09G 3/30

G09G 3/30

K

3K007

G09G 3/20

G09G 3/30

J

5C080

H05B 33/14

G09G 3/20

621M

G09G 3/20

622N

G09G 3/20

624B

審査請求 未請求 請求項の数 25 O L (全 131 頁) 最終頁に続く

(21) 出願番号

特願2002-251750 (P2002-251750)

(22) 出願日

平成14年8月29日 (2002. 8. 29)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 高原 博司

東京都港区港南四丁目1番地8号 東芝松
下ディスプレイテクノロジー株式会社内

(72) 発明者 柘植 仁志

東京都港区港南四丁目1番地8号 東芝松
下ディスプレイテクノロジー株式会社内

Fターム (参考) 3K007 AB01 DB03 GA00

最終頁に続く

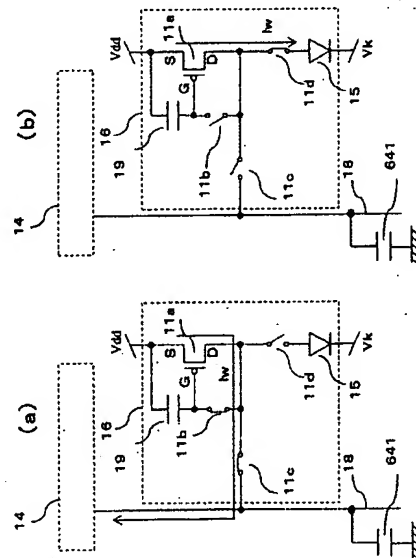
(54) 【発明の名称】 EL表示パネル、EL表示パネルの駆動方法、EL表示装置の駆動回路およびEL表示装置

(57) 【要約】

【課題】 良好なカラー表示が実現できるEL表示装置の駆動方法を提供する。

【解決手段】 大きな電流をソース信号線18に流すと、この電流値が画素16にプログラムされ、大きな電流がEL素子15に流れて、高輝度で発光する。たとえば、10倍の電流でプログラムすれば、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。そこで所定の発光輝度を得るために、N倍の電流で画素16にプログラムし、EL素子15に流れる時間を1/Nにする。このように駆動することにより、ソース信号線18の寄生容量641を十分に充放電でき、所定の発光輝度を得ることができる。寄生容量641を十分に充放電できるため、書込み不足は発生せず、十分な解像度を実現できる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

マトリックス状に配置された E L 素子と、
前記 E L 素子に流す電流を供給する駆動用トランジスタと、
前記 E L 素子と前記駆動用トランジスタ間に配置された第 1 のスイッチング素子と、
前記第 1 のスイッチング素子をオンオフ制御するゲートドライバ回路とを具備し、
前記ゲートドライバ回路は、前記第 1 のスイッチング素子を、1 フレーム期間において、
少なくとも 1 回以上オフ状態に制御することを特徴とする E L 表示パネル。

【請求項 2】

第 1 のスイッチング素子は、1 フレーム期間において、周期的にかつ複数回オフ状態に制御されることを特徴とする請求項 1 記載の E L 表示パネル。

【請求項 3】

プログラム電流を出力するソースドライバ回路と、
マトリックス状に配置された E L 素子と、
前記 E L 素子に流す電流を供給する駆動用トランジスタと、
前記 E L 素子と前記駆動用トランジスタ間に配置された第 1 のスイッチング素子と、
前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第 2 のスイッチング素子と、
前記第 1 および第 2 のスイッチング素子をオンオフ制御するゲートドライバ回路を具備し、
前記ゲートドライバ回路は、前記第 1 のスイッチング素子を、1 フレーム期間において、
少なくとも 1 回以上オン状態にし、かつ 1 回以上オフ状態に制御することを特徴とする E L 表示パネル。

【請求項 4】

ゲートドライバ回路は、駆動用トランジスタと同一プロセスで形成され、ソースドライバ回路は、半導体チップで形成されていることを特徴とする請求項 3 記載の E L 表示パネル。

【請求項 5】

ゲート信号線と、
ソース信号線と、
プログラム電流を出力するソースドライバ回路と、
ゲートドライバ回路と、
マトリックス状に配置された E L 素子と、
前記 E L 素子に流す電流を供給する駆動用トランジスタと、
前記 E L 素子と前記駆動用トランジスタ間に配置された第 1 のトランジスタと、
前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第 2 のトランジスタを具備し、
前記ソースドライバ回路は、前記ソース信号線にプログラム電流を出力し、
前記ゲートドライバ回路は、ゲート信号線に接続され、
前記第 2 のトランジスタのゲート端子は、前記ゲート信号線に接続され、
前記第 2 のトランジスタのソース端子は、前記ソース信号線に接続され、
前記第 2 のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子と接続され、
前記ゲートドライバ回路は、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給し、
前記ゲートドライバ回路は、第 1 のスイッチング素子を、1 フレーム期間において、少なくとも 1 回以上オン状態にし、かつ 1 回以上オフ状態に制御することを特徴とする E L 表示パネル。

【請求項 6】

ゲートドライバ回路は、駆動用トランジスタと同一プロセスで形成され、ソースドライバ

10

20

30

40

50

回路は、半導体チップで形成されていることを特徴とする請求項 5 記載の EL 表示パネル

【請求項 7】

I (I は 2 以上の整数) 画素行、J (J は 2 以上の整数) 画素列からなる表示領域を有し

、前記表示領域のソース信号線に映像信号を印加するソースドライバ回路と、

前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲートドライバ回路と

、前記表示領域以外の箇所に形成されたダミー画素行を具備し、

前記表示領域には EL 素子がマトリックス状に形成され、ソースドライバ回路からの映像
信号に基づいて発光し、

前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成さ
れていることを特徴とする EL 表示パネル。

【請求項 8】

ゲートドライバ回路は、複数画素行を同時に選択して、ソースドライバ回路からの映像信
号を前記複数の画素行に印加し、

第 1 行目の画素行もしくは I 画素行が選択される時には、ダミー画素行が選択されること
を特徴とする請求項 7 記載の EL 表示パネル。

【請求項 9】

EL 素子を所定輝度よりも高輝度で発光する電流を前記 EL 素子に供給し、

1 フレームの $1/N$ (N は 1 より小さい) の期間、前記 EL 素子を発光させることを特徴
とする EL 表示パネルの駆動方法。

【請求項 10】

フレームの $1/N$ の期間は、複数期間に分割されていることを特徴とする EL 表示パネル
の駆動方法。

【請求項 11】

電流により EL 素子に流す電流をプログラムする EL 表示パネルにあって、

所定輝度よりも高い輝度で前記 EL 素子を発光させ、 $1/N$ (N > 1) の表示領域を
表示し、

前記 $1/N$ の表示領域を順次シフトして全画面を表示することを特徴とする EL 表示パネ
ルの駆動方法。

【請求項 12】

1 つの画素は、少なくとも、

EL 膜に流す電流を制御する駆動薄膜トランジスタと、

ドライバから出力した電流を前記駆動薄膜トランジスタに流す経路を構成する第 1 のスイ
ッチング素子と、

前記駆動薄膜トランジスタからの電流を前記 EL 膜に流す経路を構成する第 2 のスイッ
チング素子と、

前記駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第 3 のスイッチ
ング素子から構成され、

前記第 2 のスイッチング素子は、1 フレーム期間の所定期間オフ状態に制御されること
を特徴とする EL 表示パネル。

【請求項 13】

1 つの画素は、少なくとも、

EL 膜に流す電流を制御する第 1 の駆動薄膜トランジスタと、

前記第 1 の駆動薄膜トランジスタとカレントミラー回路を形成する第 2 の駆動薄膜ラン
ジスタと、

ドライバから出力した電流を前記第 2 の駆動薄膜トランジスタのドレイン端子に流す経
路を構成する第 1 のスイッチング素子と、

前記第 2 の駆動薄膜トランジスタからの電流を前記 EL 膜に流す経路を構成する第 2 のス

10

20

30

40

50

イッチング素子と、

前記第2の駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成され、

前記第1の駆動薄膜トランジスタからの電流をEL膜に流れることを遮断する3のスイッチング素子を具備し、

前記第3のスイッチング素子は、1フレーム期間の所定期間オフ状態に制御されることを特徴とするEL表示パネル。

【請求項14】

EL膜に流す電流を制御する駆動薄膜トランジスタと、ドライバから出力した電流を前記駆動薄膜トランジスタに流す経路を構成する第1のスイッチング素子と、前記駆動薄膜トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチング素子と、前記駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成された画素と、

電流出力ドライバ回路を具備し、

前記第2のスイッチング素子は、1フレーム期間の $1/n$ 期間の間オンして、所定電流の n 倍の電流を前記EL膜に印加し、 $(n-1)/n$ 期間の間オフし、

前記第1のスイッチング素子は、前記 $(n-1)/n$ 期間うち所定期間の間オンして前記駆動薄膜トランジスタのドレイン端子に前記電流出力ドライバ回路からの電流を印加することを特徴とするEL表示パネル。

【請求項15】

EL膜に流す電流を制御する第1の駆動薄膜トランジスタと、前記第1の駆動薄膜トランジスタとカレントミラー回路を形成する第2の駆動薄膜トランジスタと、ドライバから出力した電流を前記第2の駆動薄膜トランジスタのドレイン端子に流す経路を構成する第1のスイッチング素子と、前記第2の駆動薄膜トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチング素子と、前記第2の駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成され、前記第1の駆動薄膜トランジスタからの電流をEL膜に流れることを遮断する3のスイッチング素子から構成された画素と、

電流出力ドライバ回路を具備し、

前記第3のスイッチング素子は、1フレーム期間の $1/n$ 期間の間オンして、所定電流の n 倍の電流を前記EL膜に印加し、 $(n-1)/n$ 期間の間オフし、

前記第1のスイッチング素子は、前記 $(n-1)/n$ 期間うち所定期間の間オンして前記第2の駆動薄膜トランジスタのドレイン端子に前記電流出力ドライバ回路からの電流を印加することを特徴とするEL表示パネル。

【請求項16】

EL膜に流す電流を制御する駆動薄膜トランジスタと、ドライバから出力した電流を前記駆動薄膜トランジスタに流す経路を構成する第1のスイッチング素子と、前記駆動薄膜トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチング素子と、前記駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成された画素が第1の基板にマトリックス状に配置され、

前記マトリックス状に配置された画素領域の第1の辺に配置された半導体チップからなるドライバ回路を具備し、

前記ドライバ回路の出力端子は前記スイッチング素子を制御する複数のゲート信号線と複数のソース信号線とに接続され、

前記ゲート信号線は、第2の辺に平行して形成され、前記画素領域に配置されていることを特徴とするEL表示パネル。

【請求項17】

EL膜に流す電流を制御する駆動薄膜トランジスタと、ドライバから出力した電流を前記駆動薄膜トランジスタに流す経路を構成する第1のスイッチング素子と、前記駆動薄膜トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチング素子と、前

記駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成された画素と、

前記EL膜が発光状態の時にカソード端子の電位よりも低い電圧を発生する第1の電圧回路と、

前記EL膜を非点灯状態にする黒電圧を発生する第2の電圧発生回路と、

前記EL膜に流す電流値を決定する電流を出力する電流印加手段を具備することを特徴とするEL表示パネル。

【請求項18】

EL膜に流す電流を制御する駆動薄膜トランジスタと、ドライバから出力した電流を前記駆動薄膜トランジスタに流す経路を構成する第1のスイッチング素子と、前記駆動薄膜トランジスタからの電流を前記EL膜に流す経路を構成する第2のスイッチング素子と、前記駆動薄膜トランジスタのドレイン端子とゲート端子間を短絡する第3のスイッチング素子から構成された画素と、

電流出力ドライバ回路を具備し、

前記第2のスイッチング素子は、1フレーム期間の $1/n$ 期間の間オンして、所定電流の n 倍の電流を前記EL膜に印加し、 $(n-1)/n$ 期間の間オフし、

前記第1のスイッチング素子は、前記 $(n-1)/n$ 期間うち所定期間の間オンして前記駆動薄膜トランジスタのドレイン端子に前記電流出力ドライバ回路からの電流を印加され

、EL表示装置は、赤、緑、青の3原色を表示する画素を有し、前記画素に電源電圧は、少なくとも2種類あることを特徴とするEL表示パネル。

【請求項19】

複数の単位電流源と、

前記単位電流源から出力する電流を規定する基準電流発生回路と、

前記単位電流源の電流出力側に配置された電流スイッチ回路と、

前記単位電流源に流れる電流を集約する電流配線と、

前記電流配線に所定電圧を印加する電圧スイッチ回路を具備し、

前記電流スイッチ回路は、映像信号によりオンオフ制御されることを特徴とするEL表示装置の駆動回路。

【請求項20】

電流スイッチは、2の倍数の個数ごとに、1つの電流スイッチが配置されていることを特徴とする請求項19記載のEL表示装置の駆動回路。

【請求項21】

基準電流発生回路は、オペアンプ回路を具備することを特徴とする電流スイッチは、2の倍数の個数ごとに、1つの電流スイッチが配置されていることを特徴とする請求項19記載のEL表示装置の駆動回路。

【請求項22】

画素がマトリックス状に配置され、前記画素に信号を伝達するソース信号線が形成された画像表示部と、

映像信号に対応した電流を前記ソース信号線に印加するドライバ回路と、

プリチャージ電圧を発生する電圧発生回路と、

前記プリチャージ電圧を前記ソース信号線に印加するスイッチ回路を具備することを特徴とするEL表示装置。

【請求項23】

画素がマトリックス状に配置され、前記画素に信号を伝達するソース信号線が形成された画像表示部と、

映像信号に対応した電流を発生するソースドライバ回路と、

前記ソース信号線と前記ソースドライバ回路間に配置された電流スイッチと、

プリチャージ電圧を発生する電圧発生回路と、

前記電圧発生回路と前記ソース信号線間に配置された電圧スイッチ回路を具備することを

特徴とするＥＬ表示装置。

【請求項２４】

画素がマトリックス状に配置され、前記画素に信号を伝達するソース信号線が形成された画像表示部と、

映像信号に対応した電流を前記ソース信号線に印加する電流入出力ソースドライバ回路と、

プリチャージ電圧を発生する電圧発生回路と、

前記プリチャージ電圧を前記ソース信号線に印加するスイッチ回路と、

前記スイッチ回路を制御する制御回路を具備し、

前記画像表示部には、ＥＬ素子と前記ＥＬ素子を駆動するトランジスタ素子が形成されていることを特徴とするＥＬ表示装置。 10

【請求項２５】

第１のフィールドと第２フィールドで１画面を構成するＥＬ表示装置の駆動方法であって、

第１のフィールドと第２のフィールドで、複数画素行を同時に選択し、ソース信号線に印加された電流を前記複数画素行に分割して入力し、

第１のフィールドと第２のフィールドで同時に選択する画素行が１画素行ずれていることを特徴とするＥＬ表示パネルの駆動方法。

【発明の詳細な説明】

【０００１】

20

【発明の属する技術分野】

本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、ＥＬ表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

【０００２】

【従来の技術】

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。 30

【０００３】

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルなどの自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

【０００４】

有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。 40

【０００５】

有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（ＴＦＴ）によって制御する。

【０００６】

50

このアクティブマトリクス方式の有機EL表示パネルは、特開平8-234683号公報に開示されている。この表示パネルの画素分の等価回路を図62に示す。画素16は発光素子であるEL素子15、第1のトランジスタ11a、第2のトランジスタ11bおよび蓄積容量19からなる。発光素子15は有機エレクトロルミネッセンス(EL)素子である。本発明では、EL素子15に電流を供給(制御)するトランジスタ11aを駆動用トランジスタ11と呼ぶ。また、図62のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

【0007】

有機EL素子15は多くの場合、整流性があるため、OLED(有機発光ダイオード)と呼ばれることがある。図62では発光素子OLED15としてダイオードの記号を用いている。

【0008】

ただし、本発明における発光素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子15は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

【0009】

図62の例では、Pチャンネル型のトランジスタ11aのソース端子(S)をVdd(電源電位)とし、EL素子15のカソード(陰極)は接地電位(Vk)に接続される。一方、アノード(陽極)はトランジスタ11bのドレイン端子(D)に接続されている。一方、Pチャンネル型のトランジスタ11aのゲート端子はゲート信号線17aに接続され、ソース端子はソース信号線18に接続され、ドレイン端子は蓄積容量19およびトランジスタ11aのゲート端子(G)に接続されている。

【0010】

画素16を動作させるために、まず、ゲート信号線17aを選択状態とし、ソース信号線18に輝度情報を表す映像信号を印加する。すると、トランジスタ11aが導通し、蓄積容量19が充電又は放電され、トランジスタ11bのゲート電位は映像信号の電位に一致する。ゲート信号線17aを非選択状態とすると、トランジスタ11aがオフになり、トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート電位は蓄積容量19によって安定に保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート/ソース端子間電圧Vgsに応じた値となり、発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

【0011】

以上の図62の実施例は、1画素が、1つの選択トランジスタ(スイッチング素子)と、1つの駆動用トランジスタで構成されたものである。その他の、構成例として、特願平11-327637号公報も構成が例示される。前記公報には、画素がカレントミラー回路で構成された実施例が例示されている。

【0012】

【発明が解決しようとする課題】

図62などのソースドライバ回路14から映像信号を電圧で出力する方式では、ソースドライバ回路14の出力段インピーダンスが低い。そのため、ソース信号線18への映像信号の書込みは容易である。

【0013】

図1あるいは特願平11-327637のカレントミラー構成などの映像信号を電流で出力する方式では、ソースドライバ回路14の出力段高い。そのため、ソース信号線18への映像信号の書込みが黒表示領域において困難になるという課題がある。図2はその理由を説明する説明図である。

【0014】

10

20

30

40

50

図2の各画素16の発光素子15を表示させるには、1水平走査期間内でゲート信号線17aによりトランジスタ11bおよび11cを導通状態とし、電源Vddより駆動用トランジスタ11aおよびソース信号線18を介してソースドライバ回路14に電流Iwを引き込ませる。この時の電流量の大小により階調表示を行う。蓄積容量19にはトランジスタ11aのドレイン電流に対応するゲート電圧に応じた電荷が蓄積される。

【0015】

その後、ゲート信号線17bによりトランジスタ11dを導通させ、ゲート信号線17aによりトランジスタ11b、11cを非導通状態とし、Vddより蓄積容量19の電荷に応じた電流がトランジスタ11aを介して発光素子15に流れる。

【0016】

ソース信号線18の浮遊容量641とトランジスタ12aのソースドレイン(S-D)間抵抗の積によりソース信号線18に流れる電流は徐々に変化する。そのため、容量値641及び抵抗値が大きくなると、1水平走査期間内に電流が所定の値まで変化しないことがある。

【0017】

また、ソース信号線18に流れる電流が小さく(低階調に)なるにつれ、トランジスタ11aのソースドレイン間抵抗が大きくなるため、電流が小さくなるほど、変化に時間がかかる。トランジスタ11aのダイオード特性と、ソース信号線18の浮遊容量641の容量値によるが、例えばソース信号線18に流す電流が1 μ Aに変化するのに50 μ 秒かかるのに対し、10nAに変化するのには250 μ 秒かかる。

【0018】

ソース信号線18に流れる電流値はVddからトランジスタ12aを介して、電荷をソース信号線18に供給し、浮遊容量641の電荷を変化させることで、ソース信号線18電圧を変化させ、トランジスタ12aを流れる電流(=ソース信号線18を流れる電流)が変化する。電荷の供給量が、電流が小さい領域では少ないため、ソース信号線18の電圧変化が遅くなり、その結果電流値の変化も遅くなる。

【0019】

これにより水平走査期間を短くすることができず、表示行数によってはフレーム周波数の低下によりフリッカが発生するという問題がある。

【0020】

本発明は、このような従来の課題を考慮し、従来に比べて良好な表示が実現出来るEL表示パネル、EL表示パネルの駆動方法、EL表示装置の駆動回路およびEL表示装置を提供することを目的とする。

【0021】

【課題を解決するための手段】

上記目的を達成するための本発明は、マトリックス状に配置されたEL素子と、前記EL素子に流す電流を供給する駆動用トランジスタと、前記EL素子と前記駆動用トランジスタ間に配置された第1のスイッチング素子と、前記第1のスイッチング素子をオンオフ制御するゲートドライバ回路とを具備し、前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間において、少なくとも1回以上オフ状態に制御することを特徴とするEL表示パネルである。

【0022】

ところで、例えば、EL表示パネルの黒レベルの画像表示では20nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。ここで、コンデンサ19をプログラムするとは、駆動用トランジスタ11aにプログラム電流を流し、その時の駆動用トランジスタ11aのゲート端子電圧をコンデンサ19に保持させる動作あるいは状態もしくは方式を言う。

【0023】

したがって、寄生容量641が所定値以上の大きさに発生すると、1画素行にプログラムする時間(通常、1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内

10

20

30

40

50

に限定されるものではない。)内に寄生容量641を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

【0024】

そこで、図1のトランジスタ11dを本来オンする時間(1フィールド(1F))の1/Nの期間だけオンさせ、他の期間(N-1)/N期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。

【0025】

つまり、ソース信号線18の寄生容量641の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量641を十分に充放電できるし、所定の発光輝度を得ることができる。

【0026】

また、本発明ではソース信号線18に電流を出力するばかりでなく、最も書きこみにくい低階調時の電流が流れる時のソース信号線18に電圧を印加することで、電流値の変化を速くした。また、階調に応じて電圧を印加するかどうか選択できるようにしたことで、高階調時の輝度低下を防ぐようにした。

【0027】

【発明の実施の形態】

本明細書において各図面は理解を容易にまたは/および作図を容易にするため、省略または/および拡大縮小した箇所がある。たとえば、図11に図示する表示パネルの断面図では封止膜111などを十分厚く図示している。一方、図10において、封止フタ85は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0028】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図8の表示パネルにタッチパネルなどを付加し、図19、図59から図61に図示する情報表示装置とすることができる。また、拡大レンズ582を取り付け、ビデオカメラ(図59など参照のこと)などに用いるビューファインダ(図58を参照のこと)を構成することもできる。また、図4、図15、図18、図21、図23などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

【0029】

なお、本明細書では、駆動用トランジスタ11、スイッチング用トランジスタ11は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでよい。

【0030】

もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、パリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動用素子11と構成するものはこれらのいずれでも使用することができる。

【0031】

以下、本発明のELパネルについて図面を参照しながら説明をする。有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。

【0032】

アノードあるいはカソードへ電流を供給する配線（図8のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチサイズになると100（A）程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線（EL素子に発光電流を供給する配線）を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

【0033】

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

【0034】

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

【0035】

金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

【0036】

なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL膜15は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない。

【0037】

なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

【0038】

図10はガラスのフタ85を用いて封止する構成であるが、図11のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイ

10

20

30

40

50

ヤモンド ライク カーボン) を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿性能が高い)。このフィルムを封止膜 111 として用いる。また、DLC 膜などを電極 106 の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【0039】

薄膜の膜厚は $n \cdot d$ (n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合(各薄膜の $n \cdot d$ を計算)にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。) が、EL 素子 15 の発光主波長以下となるようにするとよい。この条件を満足させることにより、EL 素子 15 からの光取り出し効率が、ガラス基板で封止した場合に比較して 2 倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0040】

以上のようにフタ 85 を用いず、封止膜 111 で封止する構成を薄膜封止と呼ぶ。基板 71 側から光を取り出す「下取り出し(図 10 を参照、光取り出し方向は図 10 の矢印方向である)」の場合の薄膜封止は、EL 膜を形成後、EL 膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜 74 を形成する。緩衝膜がないと、応力により EL 膜の構造が崩れ、筋状に欠陥が発生する。封止膜 111 は前述したように、DLC (ダイヤモンド ライク カーボン)、あるいは電界コンデンサの層構造(誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造)が例示される。

【0041】

EL 層 15 側から光を取り出す「上取り出し図 11 を参照、光取り出し方向は図 11 の矢印方向である」の場合の薄膜封止は、EL 膜 15 を形成後、EL 膜 15 上にカソード(アノード)となる Ag-Mg 膜を 20 オングストローム以上 300 オングストロームの膜厚で形成する。その上に、ITO などの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜 111 を形成する。

【0042】

有機 EL 層 15 から発生した光の半分は、反射膜 106 で反射され、アレイ基板 71 と透過して出射される。しかし、反射膜 106 には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 71 に $\lambda/4$ 板 108 および偏光板(偏光フィルム) 109 を配置している。これらは一般的に円偏光板(円偏光シート)と呼ばれる。

【0043】

なお、画素が反射電極の場合は EL 層 15 から発生した光は上方向に出射される。したがって、位相板 108 および偏光板 109 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 105 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 105 の表面に、凸部(もしくは凹凸部)を設けることで有機 EL 層 15 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 106 (アノード 105) となる反射膜を透明電極に形成する、あるいは反射率を 30% 以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【0044】

トランジスタ 11 は LDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。また、本明細書では EL 素子として有機 EL 素子(OEL、PEL、PLED、OLED など多種多様な略称で記述される) 15 を例にあげて説明するがこれに限定するものではなく、無機 EL 素子にも適用されることは言うまでもない。

【0045】

まず、有機 EL 表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選

10

20

30

40

50

択し、必要な表示情報を与えられること。1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満足させなければならない。

【0046】

この2つの条件を満足させるため、図62に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはEL素子(EL膜)15に電流を供給するための駆動用トランジスタとする。

【0047】

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【0048】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V~0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

【0049】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度(摂氏)以上の高温ポリシリコン技術でも、固相(CGS)成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

【0050】

したがって、図62のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

【0051】

本発明のEL表示装置の画素構成は、具体的には図1に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイアパーチャ(HA)構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【0052】

なお、図1の画素構成では、すべてのトランジスタはPチャンネルのトランジスタで構成されている。しかし、本発明はこれに限定するものではない。たとえば、図109に図示するように、Nチャンネルのトランジスタ(トランジスタ11b、11c)とPチャンネルのトランジスタ(11a、11d)の両方を用いて構成してもよいことは言うまでもない。

【0053】

また、図1の画素構成では、トランジスタ11dをオンオフさせてEL素子15に流れる電流をオンオフ制御するとして説明する。しかし、本発明は、駆動用トランジスタ11aから流れる電流(電流には正方向、負方向があるがいずれの方向でもよい)がEL素子15に流れることをオンオフすればどんな構成でもよい。たとえば、図108の構成が例示される。図108では、EL素子15のカソード側に切り替えスイッチ1081が形成さ

10

20

30

40

50

れている。切り替えスイッチ1081の端子をa側にすることにより、EL素子15のカソード端子に、V_{dd}電圧が印加され、EL素子15はオフする。また、切り替えスイッチ1081のカソード端子をb側にすることにより、EL素子15のカソード端子に、V_k電圧が印加され、EL素子15はオンする（EL素子15に電流が流れるようになる）。切り替えスイッチ1081とは1入力2出力のアナログスイッチが例示される。切り替えスイッチ1081はゲートドライバ回路12bのロジックによりオンオフ制御が実施される。つまり、図108の構成は、EL素子15と駆動用トランジスタ11a間にスイッチなどの素子を形成せずとも、EL素子15に流れる電流を制御できる実施例である。以上の事項は、本発明の他の実施例における画素構成にも適用できることは言うまでもない。

10

【0054】

ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ回路14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ（ON電圧を印加）となることにより開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19にトランジスタ11aのゲート電圧（あるいはドレイン電圧）を記憶する（図3（a）を参照のこと）。

【0055】

なお、トランジスタ11aのソース（S）－ゲート（G）間容量（コンデンサ）19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

20

【0056】

なお、コンデンサ（蓄積容量）19の大きさは、0.2pF以上2pF以下とすることがよく、中でもコンデンサ（蓄積容量）19の大きさは、0.4pF以上1.2pF以下とすることがよい。画素サイズを考慮してコンデンサ19の容量を決定する。1画素に必要な容量をC_s（pF）とし、1画素が占める面積（開口率ではない）をS_p（平方μm）とすれば、 $500/S \leq C_s \leq 20000/S$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうQとは、蓄積容量（コンデンサ）19単独の容量である。

30

【0057】

コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機EL15を作成する場合、有機EL層15をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層15（15R、15G、15B）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μ以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

40

【0058】

次に、ゲート信号線17aを非アクティブ（OFF電圧を印加）、ゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続されたトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する（図3（b）を参照のこと）。

【0059】

この回路は1画素内に4つのトランジスタ11を有しており、トランジスタ11aのゲ

50

ートはトランジスタ 11 b のソースに接続されている。また、トランジスタ 11 b およびトランジスタ 11 c のゲートはゲート信号線 17 a に接続されている。トランジスタ 11 b のドレインはトランジスタ 11 c のソースならびにトランジスタ 11 d のソースに接続され、トランジスタ 11 c のドレインはソース信号線 18 に接続されている。トランジスタ 11 d のゲートはゲート信号線 17 b に接続され、トランジスタ 11 d のドレインは EL 素子 15 のアノード電極に接続されている。

【0060】

なお、図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

【0061】

なお、図 1 においてトランジスタ 11 c、11 b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 11 a、11 d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キルク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る EL 素子 15 に対しては、トランジスタ 11 a を P チャンネルにする効果が大きい。

【0062】

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まり化を実現できる。

【0063】

以下、さらに本発明の理解を容易にするために、本発明の EL 素子構成について図 3 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11 b ならびにトランジスタ 11 c が ON することにより、等価回路として図 3 (a) となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが接続された状態となり、このトランジスタ 11 a とトランジスタ 11 c を通じて電流 I_w が流れる。従って、トランジスタ 11 a のゲート-ソースの電圧は I_1 が流れるような電圧となる。

【0064】

第 2 のタイミングはトランジスタ 11 a とトランジスタ 11 c が閉じ、トランジスタ 11 d が開くタイミングであり、そのときの等価回路は図 3 (b) となる。トランジスタ 11 a のソース-ゲート間の電圧は保持されたままとなる。この場合、トランジスタ 11 a は常に飽和領域で動作するため、 I_w の電流は一定となる。

【0065】

このように動作させると、図 5 に図示するようになる。つまり、図 5 (a) の 51 a は表示画面 50 における、ある時刻での電流プログラムされている画素 (行) (書き込み画素行) を示している。この画素 (行) 51 a は、図 5 (b) に図示するように非点灯 (非表示画素 (行)) とする。図 5 (b) では、非点灯領域に符号 52 を付した。他の、画素 (行) は表示画素 (行) 53 とする (非画素 53 の EL 素子 15 には電流が流れ、EL 素子 15 が発光している)。尚、図 5 (b) において、画面が上から下方向に書き換えられているとした時、53 b は、既に画像が書き換えられた表示領域 53 を示し、53 a は、今後書き換えられる表示領域 53 を示している。

【0066】

図 1 の画素構成の場合、図 3 (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11 a を流れ、 I_w を流

10

20

30

40

50

す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0067】

次に、EL素子15に電流を流す期間は図3（b）のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧（ V_{gh} ）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（ V_{gl} ）が印加され、トランジスタ11dがオンする。

【0068】

このタイミングチャートを図4に図示する。なお、図4などにおいて、括弧内の添え字（たとえば、（1）など）は画素行の番号を示している。つまり、ゲート信号線17a（1）とは、画素行（1）のゲート信号線17aを示している。また、図4の上段の*H（「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、1Hとは第1番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（1Hの番号、1H周期、画素行番号の順番など）するものではない。

【0069】

図4でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧が印加されている時には、ゲート信号線17bにはオフ電圧が印加されている。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにはオン電圧が印加されている。また、この期間は、EL素子15に電流が流れている（点灯状態）。

【0070】

なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい（図32を参照のこと）。1画素のゲート信号線は3本となる（図1の構成は2本である）。トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0071】

ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dが異なった導電型（NチャンネルとPチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【0072】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース（S）－ゲート（G）間容量（コンデンサ）に記憶されない。トランジスタ11cとトランジスタ11dを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ11cがオフしたのちに、トランジスタ11dがオンすることが可能になる。

【0073】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

【0074】

トランジスタ 11 a の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第 1 のトランジスタ 11 a のチャンネル長が $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第 1 のトランジスタ 11 a のチャンネル長が $10 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【0075】

また、画素を構成するトランジスタ 11 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。 10

【0076】

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。 20

【0077】

また、蓄積容量 19 の容量値を C_s 、第 2 のトランジスタ 11 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

【0078】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

【0079】

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、 E_L を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を 2 % 以下に抑えることができる。 30

【0080】

また、アクティブマトリックスを構成するトランジスタが $p\text{-ch}$ ポリシリコン薄膜トランジスタに構成され、トランジスタ 11 b がデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ 11 b は、トランジスタ 11 a のソースドレイン間のスイッチとして作用するため、できるだけ ON/OFF 比の高い特性が要求される。トランジスタ 11 b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON/OFF 比の高い特性を実現できる。 40

【0081】

画素 16 のトランジスタ 11 を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ 11 特性のバラツキとなる。しかし、1 画素 16 内のトランジスタ 11 の特性が一致していれば、図 1 などの電流プログラムを行う方式では、所定の電流が E_L 素子 15 に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【0082】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではない。 50

く、熱アニール方法、固相（CGS）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

【0083】

この課題に対して、本発明では図7に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。 10

【0084】

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。 20

【0085】

一般的にレーザー照射スポット72の長さは10インチというように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。 30

【0086】

図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。 40

【0087】

図7で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザー照射スポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。 50

【0088】

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバIC14から出力する電流振幅の変化が少ない。もし、図1のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。したがって、ソース信号線18の電位変動は発生しない。1つのソース信号線18に接続されたトランジスタ11aの特性がほぼ同一であれば、ソース信号線18の電位変動は小さいことになる。このことは、図38などの他の電流プログラム方式の画素構成でも同一である（つまり、図7の製造方法を適用することが好ましい）。 60

【0089】

また、図27、図30などで説明する複数の画素行を同時書き込みする方式で均一が画像 70

表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図27などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路14で吸収できる。

【0090】

なお、図7では、ソースドライバ回路14は、ICチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路14を画素16と同一プロセスで形成してもよいことは言うまでもない。

【0091】

本発明では特に、駆動用トランジスタ11bの閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ11aの閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ11bのゲート長 L_2 をトランジスタ11aのゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【0092】

なお、以上の事項は、図38に図示するカレントミラーの画素構成にも適用できる。図38では、信号電流が流れる駆動用トランジスタ11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ11bの他、ゲート信号線17a1の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタ11c、ゲート信号線17a2の制御によって書き込み期間中にトランジスタ11aのゲート・ドレインを短絡するスイッチ用トランジスタ11d、トランジスタ11aのゲートソース間電圧を書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。以上の構成により、図1などで説明した効果を発揮できる。

【0093】

図38でトランジスタ11c、11dはNチャンネルトランジスタ、その他のトランジスタはPチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Csは、その一方の端子をトランジスタ11aのゲートに接続され、他方の端子はVdd（電源電位）に接続されているが、Vddに限らず任意の一定電位でも良い。EL素子15のカソード（陰極）は接地電位に接続されている。

【0094】

たとえば、図110に図示するように、すべての画素16を構成するトランジスタ11をPチャンネルで構成してもよい。また、ゲート信号線17a1と17a2を共通にし、ゲート信号線17aとしてもよい。図110に図示するように構成することにより、画素構成が簡単になり、製造歩留まりも向上する。

【0095】

次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図6はEL表示装置の回路を中心とした説明図である。画素16がマトリックス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ回路14が接続されている。ソースドライバ回路14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

【0096】

なお、1つのカレントミラー回路の最小出力電流は10nA以上50nAにしている。特にカレントミラー回路の最小出力電流は15nA以上35nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0097】

10

20

30

40

50

また、ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、B で独立に設定できるように構成することが好ましい。EL 素子 15 の閾値が RGB でことなるからである。

【0098】

有機 EL 素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0099】

本発明において、ソースドライバ 14 は半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板 71 のソース信号線 18 の端子と接続されている。ソース信号線 18 などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0100】

ソースドライバ 14 の実装は、COG 技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバ IC 14 などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブ IC は電源 IC 82 を別途作製し、3 チップ構成としてもよい。

【0101】

一方、ゲートドライバ回路 12 は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 14 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ 12 をシリコンチップで形成し、COG 技術などを用いて基板 71 上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【0102】

ゲートドライバ 12 はゲート信号線 17 a 用のシフトレジスタ回路 61 a と、ゲート信号線 17 b 用のシフトレジスタ回路 61 b とを内蔵する。各シフトレジスタ回路 61 は正相と負相のクロック信号（CLK_{xP}、CLK_{xN}）、スタートパルス（ST_x）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDOWN）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロール IC 81 からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【0103】

シフトレジスタ回路 61 のバッファ容量は小さいため、直接にはゲート信号線 17 を駆動することができない。そのため、シフトレジスタ回路 61 の出力とゲート信号線 17 を駆動する出力ゲート 63 間には少なくとも 2 つ以上のインバータ回路 62 が形成されている。

【0104】

ソースドライバ 14 を低温ポリシリなどのポリシリ技術で基板 71 上に直接形成する場合も同様であり、ソース信号線 18 を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバ回路 14 のシフトレジスタ間には複数のインバータ回路が形

10

20

30

40

50

成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【0105】

たとえば、図6ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファゲートなどのアナログスイッチのゲートに接続されている。

【0106】

インバータ回路62はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したようにゲートドライバ回路12のシフトレジスタ回路61の出力端にはインバータ回路62が多段に接続されており、その最終出力が出力ゲート回路63に接続されている。なお、インバータ回路62はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【0107】

図8は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールIC81からソースドライバ回路14aに供給する信号（電源配線、データ配線など）はフレキシブル基板84を介して供給する。

【0108】

図8ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14で、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4～8（V）であるから、コントロールIC81から出力された3.3（V）振幅の制御信号を、ゲートドライバ12が受け取れる5（V）振幅に変換することができる。

【0109】

ソースドライバ14内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【0110】

なお、図8などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図8などで説明する構成にあっても、図9などで説明する3辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【0111】

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバIC（回路）14、ゲートドライバIC（回路）12を図9に示すように、表示パネルの一边に実装（形成）することが好ましい（なお、このように一边にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバIC12が実装され、Y辺にソースドライバIC14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい（つまり、図9のソースドライバ回路14とゲートドライバ回路12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

【0112】

10

20

30

40

50

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の1辺（もしくはほぼ1辺）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0113】

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

【0114】

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0115】

C辺に形成するゲート信号線17のピッチは5 μ m以上12 μ m以下にする。5 μ m未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば7 μ m以下で寄生容量の影響が顕著に発生する。さらに5 μ m未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減12 μ mを越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

【0116】

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

【0117】

図9のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0118】

なお、図9などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【0119】

また、ソースドライバIC14とゲートドライバIC12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

【0120】

なお、ソースドライバIC14、ゲートドライバIC12はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

【0121】

図1などで図示した構成ではEL素子15のトランジスタ11aを介してV_dd電位に接

10

20

30

40

50

続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧がBとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11aのソースドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態になる。

【0122】

この課題に対応するため、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはR、G、B色のうち、1つのVddの電位を他色のVddの電位と異ならせるように構成している。

【0123】

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10(V)以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bののうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5(V)以内にする必要がある。さらに好ましくは1.5(V)以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

【0124】

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成(作製)し、RGBなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0125】

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

【0126】

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製(形成または構成)することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【0127】

RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極(発光面積)を調整することが好ましい。各色の電極面積は電流密度を基準に決

10

20

30

40

50

定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルをすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【0128】

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0129】

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

【0130】

遮光膜上に20以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（HA）構造の画素電極が形成される。

【0131】

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0132】

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0133】

基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【0134】

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

【0135】

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0136】

10

20

30

40

50

画素16のトランジスタ11の欠陥は、ドライバIC14などにも影響を与える。例えば、図56では駆動用トランジスタ11aにソースドレイン(SD)ショート562が発生していると、パネルのV_{dd}電圧がソースドライバIC14に印加される。したがって、ソースドライバIC14の電源電圧は、パネルの電源電圧V_{dd}と同一かもしくは高くしておくことが好ましい。なお、ソースドライバICで使用する基準電流は電子ポリウム561で調整できるように構成しておくことが好ましい。

【0137】

トランジスタ11aにSDショート562が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態(輝点)となる。輝点は欠陥として目立ちやすい。たとえば、図56において、トランジスタ11aのソースドレイン(SD)ショートが発生していると、トランジスタ11aのゲート(G)端子電位の大小に関わらず、V_{dd}電圧からEL素子15に電流が常時流れる(トランジスタ11dがオンの時)。したがって、輝点となる。

【0138】

一方、トランジスタ11aにSDショートが発生していると、トランジスタ11cがオン状態の時、V_{dd}電圧がソース信号線18に印加されソースドライバ14にV_{dd}電圧が印加される。もし、ソースドライバ14の電源電圧がV_{dd}以下であれば、耐圧を越えて、ソースドライバ14が破壊される恐れがある。そのため、ソースドライバ14の電源電圧はV_{dd}電圧(パネルの高い方の電圧)以上にすることが好ましい。

【0139】

トランジスタ11aのSDショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ11aとEL素子15間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

【0140】

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図1でもわかるように、トランジスタ11aの電源V_{dd}が、トランジスタ11aのゲート(G)端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、V_{dd}電圧がトランジスタ11aのゲート(G)端子に印加されるようになる。したがって、トランジスタ11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これば、コンデンサ19にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。

【0141】

また、実際には、画素電極の下層にV_{dd}配線が配置されているから、V_{dd}配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御(修正)することができる。

【0142】

その他、トランジスタ11aのSD間(チャンネル)をオープンにすることでも実現できる。簡単にはトランジスタ11aにレーザー光を照射し、トランジスタ11aのチャンネルをオープンにする。同様に、トランジスタ11dのチャンネルをオープンにしてもよい。もちろん、トランジスタ11bのチャンネルをオープンしても該当画素16が選択されないから、黒表示となる。

【0143】

画素16を黒表示するためには、EL素子15を劣化させてもよい。たとえば、レーザー光をEL層15に照射し、EL層15を物理的にあるいは化学的に劣化させ、発光しないようにする(常時黒表示)。レーザー光の照射によりEL層15を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL膜15の化学的変化を容易に行うことができる。

10

20

30

40

50

【0144】

なお、以上の実施例は、図1に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図62、図51などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

【0145】

以下、図1の画素構成について、その駆動方法について説明をする。図1に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは図1のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時に導通状態とする。

【0146】

ソース信号線18には寄生容量641が存在する。寄生容量641は、ソース信号線18とゲート信号線17とのクロス部の容量、トランジスタ11b、11cのチャンネル容量などにより発生する。

【0147】

ソース信号線18の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできる。またはソース信号線18の寄生容量641が10倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【0148】

入力電流を10倍にすると出力電流も10倍となり、ELの輝度が10倍となるため所定の輝度を得るために、図1のトランジスタ17dの導通期間を従来の10分の1とし、発光期間を10分の1とすることで、所定輝度を表示するようにした。

【0149】

つまり、ソース信号線18の寄生容量641の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線18の寄生容量641を十分に充放電できるし、所定の発光輝度を得ることができる。

【0150】

なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/5$ にしてもよい。逆に10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/2$ 倍にする場合もあるであろう。

【0151】

本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、 N 倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、 $N1$ 倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/(N2)$ 倍（ $N1$ と $N2$ とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGBで異なってもよい。つまり、白（ホワイト）

10

20

30

40

50

バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【0152】

また、説明を容易にするため、 $1/N$ とは、 $1F$ （1フィールドまたは1フレーム）を基準にしてこの $1F$ を $1/N$ にするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（ $1H$ ））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【0153】

たとえば、 $N=10$ 倍の電流で画素16に電流プログラムし、 $1/5$ の期間の間、EL素子15を点灯させてもよい。EL素子15は、 $10/5=2$ 倍の輝度で点灯する。逆に、 $N=2$ 倍の電流で画素16に電流プログラムし、 $1/4$ の期間の間、EL素子15を点灯させてもよい。EL素子15は、 $2/4=0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N=1$ 倍でない電流でプログラムし、かつ、常時点灯（ $1/1$ 、つまり、間欠駆動でない）状態以外の表示を実施するものである。また、広義には、EL素子15に供給する電流を1フレーム（あるいは1フィールド）の期間において、少なくとも1回、オフする駆動方式である。また、所定値よりも大きな電流で画素16にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

【0154】

有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、 $1F$ （1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0155】

本発明では、 $1F/N$ の期間の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では $1F$ ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0156】

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとする回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0157】

図1、図2、図38、図110、図111などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0158】

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せ

10

20

30

40

50

ば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0159】

最も単純な、図62の画素構成においても、図111に図示するように、トランジスタ11eの追加により、間欠駆動を実施でき、また、電圧プログラムする電圧をN倍にするという本発明の駆動方法も実施できる。

【0160】

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【0161】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線18の寄生容量641は、隣接したソース信号線18間の結合容量、ソースドライバIC（回路）14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量641は通常10pF以上となる。電圧駆動の場合は、ドライバIC14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量641が多少大きくとも駆動では問題とならない。

【0162】

しかし、電流駆動では特に黒レベルの画像表示では20nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量641が所定値以上の大ききで発生すると、1画素行にプログラムする時間（通常、1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない。）内に寄生容量641を充放電することができない。1H期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【0163】

図1の画素構成の場合、図3（a）に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0164】

次に、EL素子15に電流を流す期間は図3（b）のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧（ V_{gh} ）が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧（ V_{gl} ）が印加され、トランジスタ11dがオンする。

【0165】

今、電流 I_1 が本来流す電流（所定値）のN倍であるとする、図3（b）のEL素子15に流れる電流も I_w となる。したがって、所定値の10倍の輝度でEL素子15は発光する。つまり、図12に図示するように、倍率Nを高くするほど、表示パネルの表示輝度Bも高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

【0166】

そこで、トランジスタ11dを本来オンする時間（約1F）の $1/N$ の期間だけオンさせ、他の期間（ $N-1$ ）/N期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である

10

20

30

40

50

(C R Tでは、点灯している範囲は1画素行(厳密には1画素である))。

【0167】

本発明では、この $1F/N$ の画像表示領域53が図13(b)に示すように画面50の上から下に移動する。本発明では、 $1F/N$ の期間の間だけ、EL素子15に電流が流れ、他の期間($1F \cdot (N-1)/N$)は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0168】

なお、図13に図示するように、書き込み画素行51aは非点灯表示52aとする。しかし、これは、図1、図2などの画素構成の場合である。図38などで図示するカレントミラーの画素構成では、書き込み画素行51aは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図1の画素構成を例示して説明をする。また、図13、図16などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法をN倍パルス駆動と呼ぶ。

【0169】

点灯表示(非表示領域、非表示画面)52は、理想的には、完全な黒表示(非発光画面)である。しかし、本発明はこれに限定するものではない。完全な黒表示でなくとも(たとえば、表示領域53よりも低輝度)であっても、動画ボケを改善するという効果を発揮できるし、図107のように画面輝度を調整(変化)させることができる。つまり、非点灯表示52とは、本来の画像が表示されている領域53よりも低輝度の画面であればよい。好ましくは、本来の画像が表示されている領域53よりも $1/4$ 以下の低輝度の画面にすることが好ましい。

【0170】

この表示状態では $1F$ ごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。液晶表示パネル(本発明以外のEL表示パネル)では、 $1F$ の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた(画像の輪郭ボケ)。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、C R Tに近い動画表示を実現することができる。

【0171】

このタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。図14でわかるように、各選択された画素行(選択期間は、 $1H$ としている)において、ゲート信号線17aにオン電圧(V_{gl})が印加されている時(図14(a)を参照)には、ゲート信号線17bにはオフ電圧(V_{gh})が印加されている(図14(b)を参照)。また、この期間は、EL素子15には電流が流れていない(非点灯状態)。選択されていない画素行において、ゲート信号線17aにオフ電圧(V_{gh})が印加され、ゲート信号線17bにはオン電圧(V_{gl})が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。また、点灯状態では、EL素子15は所定の N 倍の輝度($N \cdot B$)で点灯し、その点灯期間は $1F/N$ である。したがって、 $1F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度)となる。

【0172】

図15は、図14の動作を各画素行に適用した実施例である。ゲート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} (Hレベル)とし、オン電圧を V_{gl} (Lレベル)としている。(1)(2)などの添え字は選択している画素行番号を示している。

【0173】

図15において、ゲート信号線17a(1)が選択され(V_{gl} 電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラ

10

20

30

40

50

ム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行（1）が選択されている時は、図1の画素構成ではゲート信号線17b（1）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。

【0174】

1H後には、ゲート信号線17a（2）が選択され（Vgl電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する）である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行（2）が選択されている時は、図1の画素構成ではゲート信号線17b（2）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。しかし、先の画素行（1）のゲート信号線17a（1）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）にはオン電圧（Vgl）が印加されるため、点灯状態となっている。

【0175】

次の1H後には、ゲート信号線17a（3）が選択され、ゲート信号線17b（3）はオフ電圧（Vgh）が印加され、画素行（3）のEL素子15には電流が流れない。しかし、先の画素行（1）（2）のゲート信号線17a（1）（2）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）（2）にはオン電圧（Vgl）が印加されるため、点灯状態となっている。

【0176】

以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図15の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量641などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面52挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0177】

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量641を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、トランジスタ11aには $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ をEL素子15に流して、 $2\mu A$ をダミーのEL素子に流すなどの方式が例示される。つまり、図27のダミー画素行281を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【0178】

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動用トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながることができることになる。以上の方法では、図5に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができる。

【0179】

図13（a）は表示画像50への書き込み状態を図示している。図13（a）において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図13などでは1H期間に書き込む画素行は1行である

。しかし、何ら1Hに限定するものではなく、0.5H期間でも、2H期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式(図62など)でもよい。

【0180】

図13(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子15側にトランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図13(b)で示すように電流を書き込まれている画素行は非点灯領域52となる。

【0181】

今、N(ここでは、先に述べたように $N=10$ とする)倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の範囲を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本($S=220$)とすれば、22本と表示領域53とし、 $220-22=198$ 本を非表示領域52とすればよい。一般的に述べれば、水平走査線(画素行数)をSとすれば、 S/N の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示(非発光)である。また、この非発光部52はトランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することは言うまでもない。

【0182】

また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52(あるいは点灯領域53)を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる(図41を参照のこと)。

【0183】

図13(b)に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面の S/N (時間的には $1F/N$)の範囲を表示領域53とする(書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

【0184】

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0185】

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく(等分に)する必要はない。また、分割された非表示領域52も等しくする必要はない。

10

20

30

40

【0186】

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【0187】

図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割(分割数K)している。つまり、Vg1にする期間は1F/(K/N)の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0188】

なお、図17などにおいて、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割(分割数K)し、Vg1にする期間は1F/(K/N)の期間をK回実施するものではない。1F/(K/N)の期間をL(L≠K)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより画像50を表示するものである。したがって、1F/(K/N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度(コントラスト)変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

【0189】

以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ(点灯、非点灯)する方式でもよい。

【0190】

図18は図16の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図18と図15の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。他の点は図15と同一であるので説明を省略する。

【0191】

EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図1の構成においては、トランジスタ11dをオンオフ操作するだけで間欠表示を実現できる。また、図38、図51、図110、図111の構成においては、トランジスタ素子11eをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ(アナログ値であるから階調数は無限大)されているからである。つまり、各画素16に、画像データは1Fの期間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをトランジスタ11d、11eの制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、EL素子15に流す電流が各画素内で保存している構成において、駆動用トランジスタ11をEL素子15間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【0192】

コンデンサ 19 の端子電圧を維持することは重要である。1 フィールド（フレーム）期間でコンデンサ 19 の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 11 a が 1 フレーム（1 フィールド）期間で E L 素子 15 に流す電流は、少なくとも 65 % 以下に低下しないようにする必要がある。この 65 % とは、画素 16 に書き込み、E L 素子 15 に流す電流の最初が 100 % とした時、次のフレーム（フィールド）で前記画素 16 に書き込む直前の E L 素子 15 に流す電流が 65 % 以上とすることである。

【0193】

図 1 の画素構成では、間欠表示を実現する場合としない場合では、1 画素を構成するトランジスタ 11 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 18 の寄生容量 641 の影響と除去し、良好な電流プログラムを実現している。その上、C R T に近い動画表示を実現しているのである。

【0194】

また、ゲートドライバ回路 12 の動作クロックはソースドライバ回路 14 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

【0195】

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【0196】

さらに、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

【0197】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 52 の動作方向を 1 フィールド目では画面の上から下方向とし、つぎの第 2 フィールド目では画面の下から上方向としてもよい。また、1 フレームを 3 フィールドに分割し、第 1 のフィールドでは R、第 2 のフィールドでは G、第 3 のフィールドでは B として、3 フィールドで 1 フレームを形成するとしてもよい。また、1 水平走査期間（1 H）ごとに、R、G、B を切り替えて表示してもよい。以上の事項は他の本発明の実施例でも同様である。

【0198】

非表示領域 52 は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域 53 よりも表示輝度が低い領域と解釈するべきである。また、非表示領域 52 とは、R、G、B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。

【0199】

基本的には表示領域 53 の輝度（明るさ）が所定値に維持される場合、表示領域 53 の面積が広がるほど、画面 50 の輝度は高くなる。たとえば、表示領域 53 の輝度が 100（n t）の場合、表示領域 53 が全画面 50 に占める割合が 10 % から 20 % にすれば、画面の輝度は 2 倍となる。したがって、全画面 50 に占める表示領域 53 の面積を変化させることにより、画面の表示輝度を変化させることができる。

【0200】

表示領域 53 の面積はシフトレジスタ 61 へのデータパルス（S T 2）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図 16 の表示状態と図 13 の表示状態とを切り替えることができる。1 F 周期でのデータパルス数を多くすれば、画面 50 は明るくなり、少なくすれば、画面 50 は暗くなる。また、連続してデータパルスを印加すれば図 13 の表示状態となり、間欠にデータ

10

20

30

40

50

パルスを入力すれば図 1 6 の表示状態となる。

【0201】

図 1 9 (a) は図 1 3 のように表示領域 5 3 が連続している場合の明るさ調整方式である。図 1 9 (a 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (a 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (a 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (a 1) から図 1 9 (a 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。ゲートドライバ回路 1 2 b のスタートパルスの入力制御により実現できる。表示領域 5 3 の画素 1 6 に接続されたゲート信号線 1 7 b（図 1 の場合を例として）にオン電圧を印加し、このオン電圧印加位置を水平走査信号に同期してシフトさせる。オン電圧を印加するゲート信号線 1 7 b 数を変化させることにより表示画面 5 0 の輝度が変化する。オン電圧を印加するゲート信号線 1 7 b の本数が多いほど画面 5 0 の輝度が明るくなり、少ないほど画面 5 0 の輝度は暗くなる。また、画面 5 0 の輝度はオン電圧を印加するゲート信号線 1 7 b の本数にリニアに比例する。この点は重要である。なお、画面 5 0 の明るさは、後に説明するが、図 6 9 のトランジスタ 6 9 1 に流す基準電流を調整することによっても、リニアに変化させることができる。

10

【0202】

図 1 9 の駆動方法では、画素の V_{dd} （図 1 を参照のこと）電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 5 0 の輝度変化を実施できる。また、図 1 9 (a 1) から図 1 9 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 5 0 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面 5 0 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、6 4 階調表示を実現できる。

20

【0203】

図 1 9 (b) は図 1 6 のように表示領域 5 3 が分散している場合の明るさ調整方式である。図 1 9 (b 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (b 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (b 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (b 1) から図 1 9 (b 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 9 (b) のように表示領域 5 3 を分散させれば、低フレームレートでもフリッカが発生しない。

30

【0204】

さらに低フレームレートでも、フリッカが発生しないようにするには、図 1 9 (c) のように表示領域 5 3 を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図 1 9 (a) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図 1 9 (c) の駆動方法が適している。図 1 9 (a) から図 1 9 (c) の駆動方法の切り替えも、シフトレジスタ 6 1 の制御により容易に実現できる。

【0205】

つまり、図 1 0 7 に図示するように、表示領域 5 3 と非表示領域 5 2 との比を変化させる、あるいは表示画面 5 0 の面積に対し、非表示領域 5 2 の面積を変化させることにより、画面 5 0 の輝度を用意に調整することができる。

40

【0206】

以上の実施例は、画面を構成する 3 原色（たとえば、R、G、B）のすべてに同一の駆動方法（表示領域 5 3 と非表示領域 5 2 との比を変化させる、あるいは表示画面 5 0 の面積に対し、非表示領域 5 2 の面積を変化させるなど）実施することに限定されるものではない。たとえば、図 1 9 (a 1) の駆動状態を R 表示に適用し、図 1 9 (a 2) の駆動状態を G 表示に適用し、図 1 9 (a 3) の駆動状態を B 表示に適用する駆動方法を実施してもよい。また、図 1 9 (a 1) の駆動状態を R 表示に適用し、図 1 9 (a 2) の駆動状態を

50

GとBの表示に適用する駆動方法を実施してもよい。RGBのうち、1つでも駆動方法を変化せることにより、色温度調整を任意に、かつ容易に調整できる。この駆動方法を実施するためには、R用のゲート信号線17b、G用のゲート信号線17b、B用のゲート信号線17bを形成し、トランジスタ11d（図1を参照）をRGB個別に制御する。

【0207】

図20はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量641などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する（ソース信号線18に流す電流を10倍にする）。

【0208】

図20で説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバIC14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の N/K 倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム（1フィールド）の K/N 時間にする。このように駆動することにより、ソース信号線18の寄生容量641を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【0209】

つまり、1フレーム（1フィールド）の K/N の期間の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)K/N$ ）は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量641の影響を受けず、高精細表示パネルにも対応できる。

【0210】

図21は、図20の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{gl} （Lレベル）としている。各信号線の添え字は画素行の番号（（1）（2）（3）など）を記載している。なお、行数はQCI-F表示パネルの場合は220本であり、VGAパネルでは480本である。

【0211】

図21において、ゲート信号線17a（1）が選択され（ V_{gl} 電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行51aが画素行（1）番目であるとして説明する。

【0212】

また、ソース信号線18に流れるプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。また、5画素行が同時に選択（ $K=5$ ）として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍（ $N/K=10/5=2$ ）に電流がトランジスタ11aに流れるようにプログラムされる。

【0213】

書き込み画素行が（1）画素行目である時、図21で図示したように、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態

52である。

【0214】

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す（つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の10倍の電流がソース信号線18に流れる）。

【0215】

以上の動作（駆動方法）により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（ V_t 、 S 値）が一致しているとして説明をする。

【0216】

同時に選択する画素行が5画素行（ $K=5$ ）であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、本来、書き込む電流 I_w とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0217】

したがって、4画素行51bにおいて、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。ただし、図38のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

【0218】

1H後には、ゲート信号線17a（1）は非選択となり、ゲート信号線17bにはオン電圧（ V_{gl} ）が印加される。また、同時に、ゲート信号線17a（6）が選択され（ V_{gl} 電圧）、選択された画素行（6）のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行（1）には正規の画像データが保持される。

【0219】

次の、1H後には、ゲート信号線17a（2）は非選択となり、ゲート信号線17bにはオン電圧（ V_{gl} ）が印加される。また、同時に、ゲート信号線17a（7）が選択され（ V_{gl} 電圧）、選択された画素行（7）のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行（2）には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0220】

図20の駆動方法では、各画素には2倍の電流（電圧）でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、図16に図示するように、書き込み画素行51を含み、かつ表示領域50の $1/2$ の範囲を非表示領域52とすればよい。

【0221】

図13と同様に、図20のように1つの表示領域53が画面の上から下方向に移動すると、フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0222】

この課題に対しては、図22に図示するように、表示領域53を複数に分割するとよい。分割された非表示領域52を加えた部分が $S(N-1)/N$ の面積となれば、分割しない

10

20

30

40

50

場合と同一となる。

【0223】

図23はゲート信号線17に印加する電圧波形である。図21と図23との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（V_{gl}とV_{gh}）動作する。他の点は図21とほぼ同一あるいは類推できるので説明を省略する。

【0224】

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、5 μ secよりも小さい時間でオンオフしても、表示輝度の低下はない。

【0225】

本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロック周波数はkHzオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域52挿入）を実現するには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【0226】

図24は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

【0227】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのV_t、モビリティがほぼ等しくなるためである。したがって、ソース信号線18の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線18に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図24などで説明する駆動方式とは相乗効果がある。

【0228】

以上のように、レーザーショットの方向をソース信号線18の形成方向と略一致させることにより、画素の上下方向のトランジスタ11aの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ11aの特性が一致していなくとも）。以上の動作は、1H（1水平走査期間）に同期して、1画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線18と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線18に対して斜め方向にレーザーショットを照射しても1つのソース信号線18に沿った画素の上下方向のトランジスタ11aの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線18の沿った任意の画素の上または下に隣接した画素を、1つのレーザー照射範囲に入るように形成するということである。また、ソース信号線18とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【0229】

なお、本発明の実施例では1Hごとに、書き込み画素行位置をシフトさせるとしたが、こ

10

20

30

40

50

れに限定するものではなく、2Hごとにシフトしてもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだてた画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行を選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行を選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行を選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行を選択する駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

【0230】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図1、図2、図32の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図38、図42、図50などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図43、図51、図54、図62などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線18に印加した電圧値により良好に電圧プログラムを実施できるからである。

【0231】

図24において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)が選択されている(図25を参照のこと)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)(2)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。なお、図24では、フリッカの発生を低減するため、表示領域53を5分割している。

【0232】

理想的には、2画素(行)のトランジスタ11aが、それぞれ $I_w \times 5$ ($N=10$ の場合。つまり、 $K=2$ であるから、ソース信号線18に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる)の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。

【0233】

同時に選択する画素行が2画素行($K=2$)であるから、2つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、2つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0234】

たとえば、書き込み画素行51aに、本来、書き込む電流 I_d とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0235】

次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(V_{gl})が印加される。また、同時に、ゲート信号線17a(3)が選択され(V_{gl} 電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0236】

次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧(Vg1)が印加される。また、同時に、ゲート信号線17a(4)が選択され(Vg1電圧)、選択された画素行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフト(もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう)しながら走査することにより1画面が書き換えられる。

【0237】

図16と同様であるが、図24の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域53の輝度は所定値よりも5倍となる。これを所定の輝度とするためには、図16などに図示するように、書き込み画素行51を含み、かつ表示画面1の1/5の範囲を非表示領域52とすればよい。

【0238】

図27に図示するように、2本の書き込み画素行51(51a、51b)が選択され、画面50の上辺から下辺に順次選択されていく(図26も参照のこと。図26では画素行16aと16bが選択されている)。しかし、図27(b)のように、画面の下辺までくると書き込み画素行51aは存在するが、51bはなくなる。つまり、選択する画素行が1本しかなくなる。そのため、ソース信号線18に印加された電流は、すべて画素行51aに書き込まれる。したがって、画素行51aに比較して、2倍の電流が画素にプログラムされてしまう。

【0239】

この課題に対して、本発明は、図27(b)に図示するように画面50の下辺にダミー画素行281を形成(配置)している。したがって、選択画素行が画面50の下辺まで選択された場合は、画面50の最終画素行とダミー画素行281が選択される。そのため、図27(b)の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行281は表示領域50の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域50から離れた位置に形成されていてもよい。また、ダミー画素行281は、図1のスイッチングトランジスタ11d、EL素子15などは形成する必要はない。形成しないことにより、ダミー画素行281のサイズは小さくなる。

【0240】

図28は図27(b)の状態を示している。図28で明らかのように、選択画素行が画面50の下辺の画素16c行まで選択された場合は、画面50の最終画素行281が選択される。ダミー画素行281は表示領域50外に配置する。つまり、ダミー画素行281は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ11とのコンタクトホールをなくすとか、ダミー画素行にはEL膜を形成しないとかである。

【0241】

図27では、画面50の下辺にダミー画素(行)281を設ける(形成する、配置する)としたが、これに限定するものではない。たとえば、図29(a)に図示するように、画面の下辺から上辺に走査する(上下逆転走査)する場合は、図29(b)に図示するように画面50の上辺にもダミー画素行281を形成すべきである。つまり、画面50の上辺を下辺のそれぞれにダミー画素行281を形成(配置)する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2画素行を同時選択する場合であった。

【0242】

本発明はこれに限定するものではなく、たとえば、5画素行を同時選択する方式(図23を参照のこと)でもよい。つまり、5画素行同時駆動の場合は、ダミー画素行281は4

10

20

30

40

50

行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

【0243】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ11aの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

【0244】

図30はこの課題を解決するものである。図30の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、図22、図29で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は図5、図13などで説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ11aの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【0245】

図30において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間（前半の $1/2H$ ）では、図30(a1)に図示するように、5画素行を同時に選択する。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a（図1の画素構成の場合）には5倍の電流（ $25/5$ 画素行＝5）がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量641は極めて短期間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の $1/2H$ （1水平走査期間の $1/2$ ）とする。

【0246】

当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるから、表示しないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は図30(a2)となる。

【0247】

次の後半の $1/2H$ 期間は、1画素行を選択し、電流（電圧）プログラムを行う。この状態を図30(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流（電圧）プログラムされる。図30(a1)と図30(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0248】

つまり、図30(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0249】

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは図13などの実施例と同様であるので説明を省略する。

【0250】

図31は図30の駆動方法を実現するための駆動波形である。図31でわかるように、 $1H$ （1水平走査期間）は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は図31に図示している。

10

20

30

40

50

【0251】

まず、ISEL信号について説明をしておく。図30を実施するドライバ回路14は、電流出力回路Aと電流出力回路Bとを具備している。それぞれの電流出力回路は、8ビットの階調データをDA変換するDA回路とオペアンプなどから構成される。図30の実施例では、電流出力回路Aは25倍の電流を出力するように構成されている。一方、電流出力回路Bは5倍の電流を出力するように構成されている。電流出力回路Aと電流出力回路Bの出力はISEL信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線18に印加される。この電流出力回路は各ソース信号線に配置されている。

【0252】

ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する（より適切には、ソースドライバ回路14内に形成された電流出力回路Aが吸収する）。25倍、5倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【0253】

図30に示すように書き込み画素行が（1）画素行目である時（図30の1Hの欄を参照）、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（図1の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧（V_{gh}）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0254】

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（V_t、S値）が一致しているとして説明をする。

【0255】

同時に選択する画素行が5画素行（K=5）であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0256】

したがって、画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0257】

次の $1/2H$ （水平走査期間の $1/2$ ）では、書き込み画素行51aのみを選択する。つまり、（1）画素行目のみを選択する。図31で明らかなように、ゲート信号線17a（1）のみが、オン電圧（V_{gl}）が印加され、ゲート信号線17a（2）（3）（4）（5）はオフ（V_{gh}）が印加されている。したがって、画素行（1）のトランジスタ11aは動作状態（ソース信号線18に電流を供給している状態）であるが、画素行（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出

力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0258】

以上のことから、画素行(1)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

【0259】

次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)である。最初の1/2Hの期間では、図31に示すように書き込み画素行が(2)画素行目である時、ゲート信号線17aは(2)(3)(4)(5)(6)が選択されている。つまり、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。一方、画素行(1)のゲート信号線17b(1)はVg1電圧が印加されているから、トランジスタ11dはオン状態であり、画素行(1)のEL素子15は点灯する。

【0260】

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0261】

次の1/2H(水平走査期間の1/2)では、書き込み画素行51aのみを選択する。つまり、(2)画素行目のみを選択する。図31で明らかなように、ゲート信号線17a(2)のみが、オン電圧(Vg1)が印加され、ゲート信号線17a(3)(4)(5)(6)はオフ(Vgh)が印加されている。したがって、画素行(1)(2)のトランジスタ11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0262】

以上のことから、画素行(2)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

【0263】

図30で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方法である。

10

20

30

40

50

【0264】

しかし、他の方策もある。第1の期間でG画素行（Gは2以上）を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行（BはGよりも小さく、1以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が1の時は、1画素行の電流）がN倍となるようにプログラムする方式である。たとえば、図30（a1）において、5画素行を同時に選択し、各画素のトランジスタ11aには2倍の電流を流す。したがって、ソース信号線18には 5×2 倍＝10倍の電流が流れる。次の第2の期間では図30（b1）において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

【0265】

なお、図31において、複数の画素行を同時に選択する期間を $1/2H$ とし、1画素行を選択する期間を $1/2H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4H$ とし、1画素行を選択する期間を $3/4H$ としてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は $1H$ としたがこれに限定するものではない。たとえば、 $2H$ 期間でも、 $1.5H$ 期間であっても良い。

【0266】

また、図30において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0267】

また、図30において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0268】

以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、 $1H$ の間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。図6のシフトレジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにVg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにVghが出力されるとすれば、シフトレジスタ17bに印加するST2を $1F/N$ の期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を $1H$ に同期したクロックCLK2でシフトしていただくだけである。

【0269】

なお、EL素子15をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は $0.5\text{ }\mu\text{ sec}$ 以上 100 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべきである。

【0270】

先にも記載したが、黒画面152の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以

10

20

30

40

50

下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0271】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

【0272】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0273】

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（ N で表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（ N で表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0274】

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

【0275】

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図33、図35などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

【0276】

なお、以上の事項は、図38などの電流プログラムの画素構成、図43、図51、図54などの電圧プログラムの画素構成でも適用できることは言うまでもない。図38では、トランジスタ11dを、図43ではトランジスタ11dを、図51ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

【0277】

また、ゲート信号線17bの $1F/N$ の期間だけ、 V_{g1} にする時刻は1F（1Fに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（1H）後、すぐにゲート信号線17bを V_{g1} にしてEL素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。

【0278】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0279】

このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。図6においてSTに印加するデータのタイミング（1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【0280】

なお、図16などでは、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）し、Vg1にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をなす。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。

【0281】

以上の駆動方式は、インターレース走査にも適用させることができる。インターレース走査とは1フレームが2フィールドで構成され、たとえば、第1フィールドが偶数走査線で構成され、第2フィールドが奇数走査線で構成される方式である。

【0282】

本発明のインターレース駆動方式を図104に示す。図104（a）は第1のインターレースモードであり、図104（b）は第2のインターレースモードである。なお、本発明のインターレース駆動方式は、本発明のN倍パルス駆動、逆バイアス電圧駆動、リセット駆動などと組み合わせて実施する。

【0283】

図104（a）に示す第1のインターレースモードを最初に説明する。図104（a1）は、第1のフィールドを示しており、奇数画素行を書き込んで（プログラム）いる状態を示している。51kが書き込み画素行である。奇数画素行53kは画面50の1画素行から順次画像データが書き込まれる。書き込む画素行は奇数番目の画素行53kである。したがって、書き込み画素行51kよりも下画面は前奇数フィールドの画像データが保持されている。一方、画面50の上端からは、偶数画素行53gが黒表示52にされていく。奇数画素行53kの画像データは保持状態が維持される。

【0284】

図104（a2）は、第2のフィールドを示しており、偶数画素行を書き込んで（プログラム）いる状態を示している。51gが書き込み画素行である。偶数画素行53gは画面50の1画素行から順次画像データが書き込まれる。書き込む画素行は偶数番目の画素行53gである。したがって、書き込み画素行51gよりも下画面は前偶数フィールドの画像データが保持されている。一方、画面50の上端からは、奇数画素行53kが黒表示52にされていく。偶数画素行53gの画像データは保持状態が維持される。ただし、非表示領域52は黒表示の画像データが書き込まれていくのではない。画像データはコンデンサ19に保持されている。トランジスタ11dの制御により、駆動用トランジスタ11aからEL素子15の電流経路がオフされているだけである（図1とその説明を参照のこと）。

【0285】

図104（a）の駆動方式では、第1のフィールドで、奇数画素行の画像データが順次書き換えられ、かつ、順次画像表示状態にされるとともに、偶数画素行は順次書き黒表示にされていく。第2のフィールドで、偶数画素行の画像データが順次書き換えられ、かつ、順次画像表示状態にされるとともに、奇数画素行は順次書き黒表示にされていく。書き込まれる電流プログラムデータは、黒表示分だけN倍されて画素に印加される。

【0286】

以上のように本発明の駆動方式を実施することにより、インターレース駆動においても本発明のN倍パルス駆動を実現できる。したがって、低階調表示領域においても、書き込み不

10

20

30

40

50

足の発生はなく、高解像度表示を実現できる。また、間欠表示となるため、動画ボケも発生しない。

【0287】

次に、図104(b)に示す第2のインターレースモードを最初に説明する。図104(b1)は、第1のフィールドを示しており、奇数画素行を書き込んで(プログラム)いる状態を示している。51kが書き込み画素行である。奇数画素行53kは画面50の1画素行から順次画像データが書き込まれる。したがって、書き込み画素行51kよりも下画面は前奇数フィールドの画像データが保持されている。また、偶数画素行の画像データも保持されている。一方、画面50の上端からは、奇数画素行および偶数画素行53gが黒表示52にされていく。ただし、非表示領域52は黒表示の画像データが書き込まれていくのではない。画像データはコンデンサ19に保持されている。トランジスタ11dの制御により、駆動用トランジスタ11aからEL素子15の電流経路がオフされているだけである(図1とその説明を参照のこと)。

【0288】

図104(b2)は、第2のフィールドを示しており、偶数画素行を書き込んで(プログラム)いる状態を示している。51gが書き込み画素行である(書き込んでいる画素行である)。偶数画素行53gは画面50の1画素行から順次画像データが書き込まれる。書き込み画素行51gよりも下画面は前偶数フィールドの画像データが保持されている。また、奇数画素行の画像データも保持されている。一方、画面50の上端からは、奇数画素行および偶数画素行53gが黒表示52にされていく。ただし、非表示領域52は黒表示の画像データが書き込まれていくのではない。画像データはコンデンサ19に保持されている。トランジスタ11dの制御により、駆動用トランジスタ11aからEL素子15の電流経路がオフされているだけである(図1とその説明を参照のこと)。

【0289】

図104(b)の駆動方式では、第1のフィールドで、奇数画素行の画像データが順次書き換えられ、かつ、順次画像表示状態にされるとともに、画面50の上端から黒表示にされていく。第2のフィールドで、偶数画素行の画像データが順次書き換えられ、かつ、順次画像表示状態にされるとともに、画面50の上端より順次書き黒表示にされていく。書き込まれる電流プログラムデータは、黒表示分だけN倍されて画素に印加される。

【0290】

以上のように本発明の駆動方式を実施することにより、インターレース駆動においても本発明のN倍パルス駆動を実現できる。したがって、低階調表示領域においても、書き込み不足の発生はなく、高解像度表示を実現できる。また、間欠表示となるため、動画ボケも発生しない。

【0291】

なお、図104において、黒表示部52と、書き込み画素行51とは同期を取って走査するように説明したが、必ずしも同期が必要でないことは言うまでもない。また、図104は1画素行ずつ画像データを書き換える方式であったが、図105に図示するように、2画素行以上に同時に画像データを電流プログラムする構成であってもよい(図105の書き込み画素行51)。この場合は、複数の画素行に同時に電流プログラムなどを実施する必要がある。したがって、図27などで説明した駆動方式、ダミー画素方式と組み合わせて実施することが好ましいことは言うまでもない。

【0292】

図106に、図27で説明した駆動方式を用いたインターレース駆動方式について説明をする。図106は、擬似インターレース駆動と呼ぶ。説明を容易にするため、画面50の画素行は480とし、第1フィールドでは、奇数画素行のデータが240本書き込まれ、第2フィールドでは、偶数画素行のデータが240本書き込まれるとして説明をする。また、2画素行を同時に書き込むとして説明をする。黒表示画面52の挿入方式は、図104(a)あるいは図104(b)のいずれの方式を採用してもよい。図106では、画像データの書き込み状態を示している。

【0293】

図106(a)は、第1フィールドの書込み状態を示している。第1フィールドでは奇数画素行に画像データを書き込む。まず、画面50上端のダミー画素行281と第1画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。ダミー画素行281は表示されることがなく、第1画素行に画像データ1（数字の1で示している）が表示される。この動作については、図27などで説明したので説明を省略する。

【0294】

ただし、図27では、複数の画素行を同時に選択し、画素行書込み画素行位置を1画素行ずつシフトする方式であった。図106では、複数の画素行を同時に選択し、画素行書込み画素行位置を重ねることなくシフトする方式である（2画素行を同時に選択し、2画素行シフトする方式）。

【0295】

次に水平走査期間は、第2画素行と第3画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。したがって、第2画素行と第3画素行とは、同一の画像データ3（数字の3で示している）が書き込まれる。

【0296】

同様に、次に水平走査期間は、第4画素行と第5画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。したがって、第4画素行と第5画素行とは、同一の画像データ5（数字の5で示している）が書き込まれる。以上の動作を画面50下端まで行う。

【0297】

図106(b)は、第2フィールドの書込み状態を示している。第2フィールドでは偶数画素行に画像データを書き込む。ダミー画素行281は選択しない。画面50上端の第1画素行と第2画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。第1画素行と第2画素行に画像データ2（数字の2で示している）が表示される。

【0298】

次に水平走査期間は、第3画素行と第4画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。したがって、第3画素行と第4画素行とは、同一の画像データ4（数字の4で示している）が書き込まれる。

【0299】

同様に、次に水平走査期間は、第5画素行と第6画素行を同時に選択し、ソースドライバ回路14から出力する電流データをこの2画素行に書き込む。したがって、第5画素行と第6画素行とは、同一の画像データ6（数字の6で示している）が書き込まれる。以上の動作を画面50下端まで行う。

【0300】

図106(a)(b)を実施すると、人間の目には2つの奇数フィールド（図106(a)）と偶数フィールド（図106(b)）が重なって見える。この重なり状態を図示したものが、図106(c)である。

【0301】

図106で図示するように、第1画素行は画像データ1と2、第2画素行は画像データ2と3、第3画素行は画像データ3と4、第4画素行は画像データ4と5、第5画素行は画像データ5と6・・・となる。したがって、第1フィールドおよび第2フィールドで、2画素行に同一の画像データを書き込んでいるが、表示画像は、2つのフィールドが重なって見えるため、1画素行ごとに画像データは異なったように見える。そのため、滑らかな画像表示となる。また、2画素行は同時に画像データを書き込むため、図27で説明したように寄生容量641の影響を受けず、書込み不足のない良好な解像度を実現できる。また、ソースドライバ回路14の回路構成が容易となり低コスト化を実現できる。

【0302】

なお、図106では、ソースドライバ回路14から電流データを出力し、2画素行に同時に画像データを書き込むとした。したがって、ソースドライバ回路14が出力するプログラム電流は、2つの画素行に分割して入力される。しかし、本発明はこれに限定されるものではない。水平走査期間を2倍速にし、ソースドライバ回路14から出力するプログラム電流を $1H/2$ （水平走査期間の $1/2$ ）期間に1画素行に書込み、次の $1H/2$ の期間にソースドライバ回路14から出力するプログラム電流を次の1画素行に書き込んでもよい。この駆動方式では、図106のダミー画素行281は不必要である。

【0303】

第1フレームと第2フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をするなど処理を組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【0304】

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

【0305】

図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされたIw電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動用トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【0306】

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線11c（ゲート信号線EL）を独立して制御できるようにする。ゲート信号線11aとゲート信号線11cの制御は図6に図示するように独立した2つのシフトレジスタ61で行えばよい。

【0307】

ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート信号線WRの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャンネルトランジスタで形成されている場合は、シフトレジスタ61aと61bのVgh（オフ電圧）を略同一にし、シフトレジスタ61aのVgl（オン電圧）をシフトレジスタ61bのVgl（オン電圧）よりも低くする。

【0308】

以下、図33を参照しながら、リセット駆動方式について説明をする。図33はリセット駆動の原理説明図である。まず、図33(a)に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり

、I b 電流が流れる。一般的に、トランジスタ 11 a は 1 つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ 11 d がオフ状態となり、トランジスタ 11 b がオン状態にすれば、駆動電流 I b がトランジスタ 11 a のゲート（G）端子に流れる。そのため、トランジスタ 11 a のゲート（G）端子とドレイン（D）端子とが同一電位となり、トランジスタ 11 a はリセット（電流を流さない状態）になる。

【0309】

このトランジスタ 11 a のリセット状態（電流を流さない状態）は、図 5 1 などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 3（a）の状態では、コンデンサ 19 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 11 a の特性に応じて異なる電圧値である。したがって、図 3 3（a）の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい）が保持されることになるのである。

【0310】

なお、図 3 3（a）の動作の前に、トランジスタ 11 b、トランジスタ 11 c をオフ状態にし、トランジスタ 11 d をオン状態にし、駆動用トランジスタ 11 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にするのが好ましい。EL 素子 15 に電流が流れて EL 素子 15 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H（1 水平走査期間）の 0. 1 % 以上 10 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0. 2 μ sec 以上 5 μ sec 以下となるようにすることが好ましい。また、全画面の画素 16 に一括して前述の動作（図 3 3（a）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 11 a のドレイン（D）端子電圧が低下し、図 3 3（a）の状態ですmoothな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【0311】

図 3 3（a）の実施時間を長くするほど、I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、図 3 3（a）の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3（a）の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で EL 材料が異なり、この EL 材料の立ち上がり電圧などに差異があるためである。R G B の各画素で、EL 材料に適應して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【0312】

図 3 3（a）を実施後、1 H 以上 5 H 以下の期間において、図 3 3（b）の状態にする。図 3 3（b）はトランジスタ 11 c、トランジスタ 11 b をオンさせ、トランジスタ 11 d をオフさせた状態である。図 3 3（b）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電流 I w を出力（あるいは吸収）し、このプログラム電流 I w を駆動用トランジスタ 11 a に流す。このプログラム電流 I w が流れるように、駆動用トランジスタ 11 a のゲート（G）端子の電位を設定するのである（設定電位はコンデンサ 19 に保持される）。

【0313】

もし、プログラム電流 I w が 0（A）であれば、トランジスタ 11 a は電流を図 3 3（a）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図 3 3（b）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等し

くなる。そのため、トランジスタ 11a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0314】

図 33 (b) の電流プログラミング後、図 33 (c) に図示するように、トランジスタ 11b、トランジスタ 11c とオフし、トランジスタ 11d をオンさせて、駆動用トランジスタ 11a からのプログラム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。図 33 (c) に関しても、図 1 などで以前に説明をしたので詳細は省略する。

【0315】

つまり、図 33 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 11a と EL 素子 15 間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、リセット駆動を実施するためには、図 32 の構成のように、トランジスタ 11b とトランジスタ 11c とを独立に制御できるように、構成しておかねばならない。

【0316】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、1 H 後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ 11d がオフだからである。）。次に、EL 素子 15 に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1 H 後に電流プログラムを行うとしたがこの期間は、5 H 程度以内としてもよい。図 33 (a) のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を 5 H とすれば、5 画素行が黒表示（電流プログラムの画素行もいれると 6 画素行）となるはずである。

【0317】

また、リセット状態は 1 画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4 画素行を同時にリセットするのであれば、第 1 の水平走査期間（1 単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第 2 の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第 3 の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第 4 の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、図 33 (b)、図 33 (c) の駆動状態も図 33 (a) の駆動状態と同期して実施される。

【0318】

また、1 画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図 33 (b) (c) の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（1 画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1 画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

【0319】

なお、図 33 のリセット駆動は、本発明の N 倍パルス駆動などと組み合わせること、イン

ターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図22の構成は、間欠N/K倍パルス駆動（1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図22あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

10

【0320】

図34はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路12aは、図32におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲートドライバ回路12bは、図32におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

【0321】

したがって、ゲート信号線17aはゲートドライバ回路12aで操作し、ゲート信号線17cはゲートドライバ回路12bで操作する。そのため、トランジスタ11bをオンさせて駆動用トランジスタ11aをリセットするタイミングと、トランジスタ11cをオンさせて駆動用トランジスタ11aに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

20

【0322】

図35はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、トランジスタ11bをオンさせ、駆動用トランジスタ11aをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、トランジスタ11dをオフ状態にしている。したがって、図32(a)の状態となっている。この期間にI_b電流が流れる。

【0323】

図35のタイミングチャートでは、リセット時間は2H（ゲート信号線17aにオン電圧が印加され、トランジスタ11bがオンする）としているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA（ST）パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

30

【0324】

1H期間のリセット後、画素行（1）のゲート信号線17c（1）に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流I_wがトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

40

【0325】

電流プログラム後、画素（1）のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行（2）以降についても、画素行（1）と同様であり、また、図35からその動作

50

は明らかであるから説明を省略する。

【0326】

図35において、リセット期間は1H期間であった。図36はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA(ST)パルス期間で容易に変更できる。図36ではゲートドライバ回路12aのST1端子に入力するDATAを5H期間の間Hレベルし、各ゲート信号線17aから出力されるリセット期間を5H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【0327】

図36はリセット期間を5Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線17aから出力される信号を1Hごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路(図示せず)を操作することにより容易に実現できる。また、ゲートドライバ回路12に入力するDATA(ST)パルスを制御することで容易に実現できる。

【0328】

図34の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路(1つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用)が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図37はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図37の回路を動作させた出力信号のタイミングチャートは図35のごとくなる。なお、図35と図37とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。

【0329】

図37のOR回路371が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ回路61aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ回路61aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

【0330】

たとえば、シフトレジスタ回路61aの2番目にHレベル信号が出力されている時、画素16(1)のゲート信号線17cにオン電圧が出力され、画素16(1)が電流(電圧)プログラムの状態である。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のトランジスタ11bがオン状態となり、画素16(2)の駆動用トランジスタ11aがリセットされる。

【0331】

同様に、シフトレジスタ回路61aの3番目にHレベル信号が出力されている時、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16(2)が電流(電圧)プログラムの状態である。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)トランジスタ11bがオン状態となり、画素16(3)駆動用トランジスタ11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

【0332】

プログラム状態の時は、トランジスタ11bとトランジスタ11cが同時にオン状態となる(図33(b))から、非プログラム状態(図33(c))に移行する際、トランジスタ11cがトランジスタ11bよりも先にオフ状態となると、図33(b)のリセット状態となってしまう。これと防止するためには、トランジスタ11cがトランジスタ11bよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

10

20

30

40

50

【0333】

以上の実施例は、図32（基本的には図1）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図38に示すようなカレントミラーの画素構成であっても実施することができる。なお、図38ではトランジスタ11eをオンオフ制御することにより、図13、図15などで図示するN倍パルス駆動を実現できる。図39は図38のカレントミラーの画素構成での実施例の説明図である。以下、図39を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【0334】

図39(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI_b電流が流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eがオフ状態とし、トランジスタ11dがオン状態にすれば、駆動電流I_bがトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

【0335】

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図39(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる)が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値である。したがって、図39(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【0336】

なお、図39(a)においても図33(a)と同様に、リセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図39(a)の実施時間は固定値にする必要がある。実験および検討によれば、図39(a)の実施時間は、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは図33の駆動方式でも同様である。

【0337】

図33(a)も同様であるが、図39(a)のリセット状態と、図39(b)の電流プログラム状態とを同期をとって行う場合は、図39(a)のリセット状態から、図39(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。つまり、図33(a)あるいは図39(a)のリセット状態から、図33(b)あるいは図39(b)の電流プログラム状態までの期間が、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは、20μsec以上2msec以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムす

るのに長時間を要するようになる。また、画面50の輝度も低下する。

【0338】

図39(a)を実施後、図39(b)の状態にする。図39(b)はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態である。図39(b)の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力(あるいは吸収)し、このプログラム電流 I_w を電流プログラム用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11bのゲート(G)端子の電位をコンデンサ19に設定するのである。

【0339】

もし、プログラム電流 I_w が0(A)(黒表示)であれば、トランジスタ11bは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図39(b)で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0340】

図39(b)の電流プログラミング後、図39(c)に図示するように、トランジスタ11c、トランジスタ11dとオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラム電流 $I_w (= I_e)$ をEL素子15に流し、EL素子15を発光させる。図39(c)に関しても、以前に説明をしたので詳細は省略する。

【0341】

図33、図39で説明した駆動方式(リセット駆動)は、駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断(電流が流れない状態。トランジスタ11eあるいはトランジスタ11dで行う)し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断するという動作は、必ずしも必須の条件ではない。もし、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断せずに、駆動用トランジスタのドレイン(D)端子とゲート(G)端子間をショートする第1の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【0342】

図39のカレントミラーの画素構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ11bをリセットする駆動方法であった。

【0343】

図39のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ11bとEL素子15間を切断する必要はない。したがって、電流プログラム用トランジスタaのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート(G)端子を含む2端子、あるいは駆動用トランジスタのゲート(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

【0344】

画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラム

10

20

30

40

50

を行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【0345】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【0346】

図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【0347】

図44（a）に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44（a）の動作を実施する。

【0348】

このトランジスタ11a、トランジスタ11bのリセット状態（電流を流さない状態）は、図41などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図44（a）の状態では、コンデンサ19の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値である。つまり、図44（a）の動作を実施することにより、各画素のコンデンサ19には駆動用トランジスタ11aが電流を流さない（つまり、黒表示電流（ほとんど0に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【0349】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図44（a）のリセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図44（a）の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H（5水平走査期間）以下とすることが好ましい。さらには0.5H以上4H以下にすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

【0350】

また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ11aのリセットを実施してもよい。

【0351】

前段ゲート制御方式をさらに具体的に記載すれば以下のようにになる。着目する画素行が（

10

20

30

40

50

N) 画素行とし、そのゲート信号線がゲート信号線 17 e (N)、ゲート信号線 17 a (N) とする。1 H 前に選択される前段の画素行は、画素行が (N-1) 画素行とし、そのゲート信号線がゲート信号線 17 e (N-1)、ゲート信号線 17 a (N-1) とする。また、着目画素行の次の 1 H 後に選択される画素行が (N+1) 画素行とし、そのゲート信号線がゲート信号線 17 e (N+1)、ゲート信号線 17 a (N+1) とする。

【0352】

第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 17 a (N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線 17 e (N) にもオン電圧が印加される。ゲート信号線 17 e (N) と前段の画素行のゲート信号線 17 a (N-1) とがショート状態で形成されているからである。したがって、第 (N-1) 画素行の画素のトランジスタ 11 b (N-1) がオンし、ソース信号線 18 の電圧が駆動用トランジスタ 11 a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 11 e (N) がオンし、駆動用トランジスタ 11 a (N) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N) がリセットされる。

10

【0353】

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 17 a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 17 e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 11 b (N) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

20

【0354】

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11 e (N+2) がオンし、駆動用トランジスタ 11 a (N+2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+2) がリセットされる。

30

【0355】

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

【0356】

図 33 (a) も同様であるが、図 44 (a) のリセット状態と、図 44 (b) の電圧プログラム状態とを同期をとって行う場合は、図 44 (a) のリセット状態から、図 44 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

40

【0357】

図 44 (a) を実施後、図 44 (b) の状態にする。図 44 (b) はトランジスタ 11 b をオンさせ、トランジスタ 11 e、トランジスタ 11 d をオフさせた状態である。図 44 (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11 a のゲート (G) 端子に書き込む (駆動用トランジスタ 11 a のゲート (G) 端子の電位をコンデンサ 19 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトラ

50

ンジスタ 11d を必ずしもオフさせる必要はない。また、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動（1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11e をオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ 11e が不要でない。このことは以前に説明をしたので、説明を省略する。

【0358】

図 43 の構成あるいは図 44 の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0359】

図 44 (b) の電流プログラミング後、図 44 (c) に図示するように、トランジスタ 11b をオフし、トランジスタ 11d をオンさせて、駆動用トランジスタ 11a からのプログラム電流を EL 素子 15 に流し、EL 素子 15 を発光させる。

【0360】

以上のように、図 43 の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 11d をオンさせ、トランジスタ 11e をオフさせて、トランジスタ 11a に電流を流す第 1 の動作と、トランジスタ 11a と EL 素子 15 間を切断し、かつ、駆動用トランジスタ 11a のドレイン (D) 端子とゲート (G) 端子（もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子）間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 11a に電圧プログラムを行う第 3 の動作を実施するものである。

【0361】

以上の実施例では、駆動用トランジスタ素子 11a（図 1 の画素構成の場合）から EL 素子 15 に流す電流を制御するのに、トランジスタ 11d をオンオフさせて行う。トランジスタ 11d をオンオフさせるためには、ゲート信号線 17b を走査する必要があり、走査のためには、シフトレジスタ 61（ゲート回路 12）が必要となる。しかし、シフトレジスタ 61 は規模が大きく、ゲート信号線 17b の制御にシフトレジスタ 61 を用いたのでは狭額縁化できない。図 40 で説明する方式は、この課題を解決するものである。

【0362】

なお、本発明は、主として図 1 などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 38 などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図 41 などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL 素子 15 に流れる電流を間欠にする方式であるから、図 50 などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせ実施することができる。

【0363】

図 40 はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路 12 は基板 71 に直接形成したか、もしくはシリコンチップのゲートドライバ IC 12 を基板 71 に積載したとして説明をする。また、ソースドライバ 14 およびソース信号線 18 は図面が煩雑になるため省略する。

【0364】

図 40 において、ゲート信号線 17a はゲートドライバ回路 12 と接続されている。一方、各画素のゲート信号線 17b は点灯制御線 401 と接続されている。図 40 では 4 本のゲート信号線 17b が 1 つの点灯制御線 401 と接続されている。

【0365】

なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

【0366】

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220/5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220/10 = 22$ 以上でブロック化が必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

【0367】

図40の実施例では、点灯制御線401a、401b、401c、401d……401nと順次、オン電圧(Vgl)を印加するか、もしくはオフ電圧(Vgh)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

【0368】

なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

【0369】

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート(G)端子と接続されている。したがって、点灯制御線401にオン電圧(Vgl)が印加されたとき、駆動用トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加された時は、EL素子15のアノード端子をオープンにする。

【0370】

なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧(Vgl)のタイミングは1水平走査クロック(1H)に同期していることが好ましい。しかし、これに限定するものではない。

【0371】

点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

【0372】

図38に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。

【0373】

なお、図32において、ゲート信号線17aを点灯制御線401に接続し、リセットを実

10

20

30

40

50

施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【0374】

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

【0375】

図41はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図41では画素行の選択ゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0376】

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

【0377】

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0378】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成（配置）することが適切である。

【0379】

なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

【0380】

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0381】

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

【0382】

また、図1などのスイッチングトランジスタ11b、11cなどはNチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【0383】

また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【0384】

逆に、図1のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときにはV_{gh}電圧となる。そのため、コンデンサ19の端子電圧がV_{dd}側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【0385】

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端子間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加させる構成も有効である(図42(a)を参照)。このコンデンサ19bの容量は正規のコンデンサ19aの容量の1/50以上1/10以下にすることが好ましい。さらには1/40以上1/15以下とすることが好ましい。もしくはトランジスタ11bのソースゲート(ソースドレイン(SG)もしくはゲートドレイン(GD))容量の1倍以上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサ19bの形成位置は、コンデンサ19aの一方の端子(トランジスタ11aのゲート(G)端子)とトランジスタ11dのソース(S)端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

【0386】

突き抜け電圧発生用のコンデンサ19bの容量(容量をC_b(pF)とする)は、電荷保持用のコンデンサ19aの容量(容量をC_a(pF)とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最大輝度の白ラスタ時)のゲート(G)端子電圧V_wを黒表示での電流を流す(基本的には電流は0である。つまり、画像表示で黒表示としている時)時のゲート(G)端子電圧V_bが関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、|V_w - V_b|とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である(つまり、変化する電圧幅)。

【0387】

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

【0388】

トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソースゲート(SGもしくはゲートドレイン(GD))容量(トランジスタがオンしているときの容量)の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【0389】

なお、以上の事項は、図1の画素構成だけでなく、他の画素構成でも有効である。たとえば、図42(b)に図示するようにカレントミラーの画素構成において、突き抜けを発生

10

20

30

40

50

させるコンデンサをゲート信号線 17 a または 17 b とトランジスタ 11 a のゲート (G) 端子間に配置または形成する。スイッチングトランジスタ 11 c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11 c、11 d を P チャンネルとし、トリプルゲート以上とする。

【0390】

41 の電圧プログラムの構成にあつては、ゲート信号線 17 c と駆動用トランジスタ 11 a のゲート (G) 端子間に突き抜け電圧発生用のコンデンサ 19 c を形成または配置する。また、スイッチングトランジスタ 11 c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 a のゲート (G) 端子と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 c 間に配置してもよい。

【0391】

また、電荷保持用のコンデンサ 19 a の容量を C_a とし、スイッチング用のトランジスタ 11 c または 11 d) のソースゲート容量 C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 (V_{gh}) とし、ゲート信号線に印加される低電圧信号 (V_{gl}) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【0392】

$$0.05(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8(V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0393】

$$0.1(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は図 43 などの画素構成にも有効である。図 43 の電圧プログラムの画素構成では、トランジスタ 11 a のゲート (G) 端子とゲート信号線 17 a 間に突き抜け電圧発生用のコンデンサ 19 b を形成または配置する。

【0394】

なお、突き抜け電圧を発生させるコンデンサ 19 b は、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ 11 のソース幅を広げて、ゲート信号線 17 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【0395】

また、スイッチングトランジスタ 11 b、11 c (図 1 の構成の場合) を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 19 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 11 b、11 c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu m$ で形成することが多い。これを W と大きくすることも突き抜け電圧用のコンデンサ 19 b を構成することになる。例えば、 $W : L$ の比を 2 : 1 以上 20 : 1 以下にする構成が例示される。好ましくは、 $W : L$ の比を 3 : 1 以上 10 : 1 以下にすることがよい。

【0396】

また、突き抜け電圧用のコンデンサ 19 b は、画素が変調する R、G、B で大きさ (容量) を変化させることが好ましい。R、G、B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用トランジスタ 11 a のゲート (G) 端子にプログラムする電圧 (電流) が異なるからである。たとえば、R の画素のコンデンサ 11 b R を 0.02 pF とした場合、他の色 (G、B の画素) のコンデンサ 11 b G、11 b B を 0.025 pF とする。また、R の画素のコンデンサ 11 b R を 0.02 pF とした場合、G の画素のコンデンサ 11 b G と 0.03 pF とし、B の画素のコンデンサ 11 b B を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサ 11 b の容量を変化させることのよ

10

20

30

40

50

りオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

【0397】

以上は、突き抜け電圧発生用のコンデンサ19bの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量の相対的なものである。したがって、コンデンサ19bをR、G、Bの画素で変化すること限定するものではない。つまり、保持用コンデンサ19aの容量を変化させてもよい。たとえば、Rの画素のコンデンサ11aRを1.0pFとした場合、Gの画素のコンデンサ11aGと1.2pFとし、Bの画素のコンデンサ11aBを0.9pFとするなどである。この時、突き抜け用コンデンサ19bの容量は、R、G、Bで共通の値とする。したがって、本発明は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比を、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、保持用のコンデンサ19aの容量と突き抜け電圧発生用のコンデンサ19bとの容量との両方をR、G、B画素で変化させてもよい。

【0398】

また、画面50の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい。ゲートドライバ12に近い位置にある画素16は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線17端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線17には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ12との接続側に近い画素16の突き抜け電圧用コンデンサ19bを小さくする。また、ゲート信号線17端はコンデンサ19bを大きくする。たとえば、画面の左右でコンデンサの容量は10%程度変化させる。

【0399】

発生する突き抜け電圧は、保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bと、電荷保持用のコンデンサ19a容量の両方を画面の左右で変化させてもよいことは言うまでもない。

【0400】

本発明のN倍パルス駆動の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧Vmを印加することが有効である。

【0401】

EL素子15において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

【0402】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0403】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し

、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0404】

図45は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図45はEL素子15に流す電流が電流密度100A/平方メートルの場合であるが、図45の傾向は、電流密度50～100A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0405】

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が8(V)とし、経過時間2500時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が10(V)とすれば、端子電圧比は、 $10/8=1.25$ である。

10

【0406】

横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60Hz(とくに60Hzに意味はないが)で、逆バイアス電圧 V_m を印加した時間が1/2(半分)であれば、 $t_1=0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧(定格端子電圧)が8(V)とし、逆バイアス電圧 V_m を8(V)とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ となる。

20

【0407】

図45によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる(初期の定格端子電圧から変化しない)。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 (もしくは t_2 、あるいは t_1 と t_2 との比率)を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

30

【0408】

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。図46のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合(図46のサンプルA)のEL素子15の端子電圧も高くなる。

【0409】

しかし、図45では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧(つまり、EL素子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度200A/平方メートルの電流の印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる)。

40

【0410】

以上の事項は、EL素子15を、白ラスター表示(画面全体のEL素子に最大電流を印加している場合)を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流(最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流)が流れているのではない。

【0411】

50

一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100 A/平方メートルの電流）の約0.2倍である。

【0412】

したがって、図45の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

10

【0413】

つまり、図45の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図45で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が1.75以下を満足するようにすればよい。

20

【0414】

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 V_m （電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果としてEL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定するものではない。

【0415】

逆バイアス駆動の画素構成では、図47に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。

30

【0416】

図47では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くすることにより、トランジスタ11g（N）がオンし、EL素子15のアノード電極に逆バイアス電圧 V_m が印加される。

【0417】

また、図47の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、図47において V_k 電圧が0（V）とする時、ゲート電位制御線473の電位を0（V）以上（好ましくは2（V）以上）にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線471の電位を逆バイアス電圧 V_m （0（V）以下、好ましくは V_k より-5（V）以上小さい電圧）にすると、トランジスタ11g（N）がオンし、EL素子15のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧（つまり、トランジスタ11gのゲート（G）端子電圧）よりも高くすると、トランジスタ11gはオフ状態であるため、EL素子15には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

40

【0418】

また、図48に図示するように、逆バイアス線471を制御するゲートドライバ回路12cを別途形成または配置してもよい。ゲートドライバ回路12cは、ゲートドライバ回路

50

12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【0419】

以上の駆動方法では、トランジスタ11gのゲート(G)端子は電位固定し、逆バイアス線471の電位を変化させるだけで、EL素子15に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ11gのゲート(G)端子とソース(S)端子間に印加される電圧を低減できる。このことは、トランジスタ11gがPチャンネルの場合も同様である。

【0420】

また、逆バイアス電圧 V_m の印加は、EL素子15に電流を流していない時に行うものである。したがって、トランジスタ11dがオンしていない時に、トランジスタ11gをオンさせることにより行えばよい。つまり、トランジスタ11dのオンオフロジックの逆をゲート電位制御線473に印加すればよい。たとえば、図47では、ゲート信号線17bにトランジスタ11dおよびトランジスタ11gのゲート(G)端子を接続すればよい。トランジスタ11dはPチャンネルであり、トランジスタ11gはNチャンネルであるため、オンオフ動作は反対となる。

10

【0421】

図49は逆バイアス駆動のタイミングチャートである。なお、チャート図において(1)(2)などの添え字は、画素行を示している。説明を容易にするため、(1)とは、第1画素行目と示し、(2)とは第2画素行目を示すとして説明をするが、これに限定するものではない。(1)がN画素行目を示し、(2)がN+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図49などの実施例では、図1などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図41、図38などの画素構成においても適用できるものである。

20

【0422】

第1画素行目のゲート信号線17a(1)にオン電圧(V_{gl})が印加されている時には、第1画素行目のゲート信号線17b(1)にはオフ電圧(V_{gh})が印加される。つまり、トランジスタ11dはオフであり、EL素子15には電流が流れていない。

【0423】

逆バイアス線471(1)には、 V_{s1} 電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧(V_{gh})が印加された後、所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu\text{sec}$)後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧(V_{gl})が印加される所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu\text{sec}$)前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

30

【0424】

次の水平走査期間(1H)には、ゲート信号線17aにはオフ電圧(V_{gh})が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧(V_{gl})が印加され、トランジスタ11dがオンして、EL素子15にトランジスタ11aから電流が流れEL素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V_{sh})が印加されて、第1画素行(1)のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)には V_{s1} 電圧(逆バイアス電圧)が印加される。

40

【0425】

以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図48の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動(

50

図40参照)や、N倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

【0426】

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。EL表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

【0427】

以上の実施例は、図1の画素構成の場合であったが、他の構成においても、図38、図41などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図50は電流プログラム方式の画素構成である。

【0428】

図50は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン(D)ーゲート(G)端子間をショート(GDショート)する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

【0429】

トランジスタ11dは、該当画素が選択する1H(1水平走査期間、つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート(G)端子とドレイン(D)端子がショートされる。そのため、トランジスタ11aはオフする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

【0430】

EL素子15が非点灯状態の時、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

【0431】

トランジスタ11gのゲート(G)端子はVsg電圧が印加されて固定されている。逆バイアス線471をVsg電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ11gがオンする。

【0432】

その後、前記該当画素に映像信号が印加(書き込まれる)される水平走査期間がくると、ゲート信号線17a1にオン電圧が印加され、トランジスタ11cがオンする。したがって、ソースドライバ回路14からソース信号線18に出力された映像信号電圧がコンデンサ19に印加される(トランジスタ11dはオン状態が維持されている)。

【0433】

トランジスタ11dをオンさせると黒表示となる。1フィールド(1フレーム)期間に占めるトランジスタ11dのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1フィールド(1フレーム)の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流す電流と大きくする必要がある。この動作は、本発明のN倍パルス駆動である。したがって、N倍パルス駆動と、トランジスタ11dをオンさせて黒表示とする駆動とを組み合わせることが本発明の1つの特徴ある動作である。また、EL素子15が非点灯状態で、逆バイアス電圧をEL素子15に印加することが本発明の特徴ある構成(方式)である。

【0434】

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ11gを各画

10

20

30

40

50

素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

【0435】

例えば、図1の画素構成において、画素16を選択し（トランジスタ11b、トランジスタ11cをオンさせる）、ソースドライバIC（回路）14から、ソースドライバICが出力できる低い電圧V0（例えば、GND電圧）を出力して駆動用トランジスタ11aのドレイン端子（D）に印加する。この状態でトランジスタ11dもオンさせればELのアノード端子にV0電圧が印加される。同時に、EL素子15のカソードVkにV0電圧に対し、 $-5 \sim -15$ （V）低い電圧Vm電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、Vdd電圧もV0電圧より $0 \sim -5$ （V）低い電圧を印加することにより、トランジスタ11aもオフ状態となる。以上のようにソースドライバ回路14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

10

【0436】

N倍パルス駆動は、1フィールド（1フレーム）期間内において、1度、黒表示をしても再度、EL素子15に所定の電流（プログラムされた電流（コンデンサ19に保持されている電圧による））を流すことができる。しかし、図50の構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電（減少を含む）されるため、EL素子15に所定の電流（プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

20

【0437】

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図38、図50のような他の電流方式の画素構成にも適用することができる。また、図51、図54、図62に図示するような電圧プログラムの画素構成でも適用することができる。

【0438】

図51は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ11bが選択スイッチング素子であり、トランジスタ11aがEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子）11gを配置（形成）している。

30

【0439】

図51の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート（G）端子に印加される。

【0440】

まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

【0441】

水平同期信号（HD）後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。この時、ソース信号線18にはVdd電圧が印加される。したがって、コンデンサ19bのa端子にはVdd電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン（D）端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

40

【0442】

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT1の期間、オン電圧が印加され、トランジスタ11bがオンする。このT1の期間がリセット期間である。また、ゲート信号

50

線 17 a には 1 H の期間、継続してオン電圧が印加される。なお、T 1 は 1 H 期間の 20 % 以上 90 % 以下の期間とすることが好ましい。もしくは、 $20 \mu \text{sec}$ 以上 $160 \mu \text{sec}$ 以下の時間とすることが好ましい。また、コンデンサ 19 b (C b) とコンデンサ 19 a (C a) の容量の比率は、 $C b : C a = 6 : 1$ 以上 $1 : 2$ 以下とすることが好ましい。

【0443】

リセット期間では、トランジスタ 11 b のオンにより、駆動用トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子間がショートされる。したがって、トランジスタ 11 a のゲート (G) 端子電圧とドレイン (D) 端子電圧が等しくなり、トランジスタ 11 a はオフセット状態 (リセット状態：電流が流れない状態) となる。このリセット状態とはトランジスタ 11 a のゲート (G) 端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 19 b の b 端子に保持される。したがって、コンデンサ 19 には、オフセット電圧 (リセット電圧) が保持されていることになる。

【0444】

次のプログラム状態では、ゲート信号線 17 c にオフ電圧が印加されトランジスタ 11 b がオフする。一方、ソース信号線 18 には、T d の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 11 a のゲート (G) 端子には、DATA 電圧 + オフセット電圧 (リセット電圧) が加えられたものが印加される。そのため、駆動用トランジスタ 11 a はプログラムされた電流を流せるようになる。

【0445】

プログラム期間後、ゲート信号線 17 a にはオフ電圧が印加され、トランジスタ 11 c はオフ状態となり、駆動用トランジスタ 11 a はソース信号線 18 から切り離される。また、ゲート信号線 17 c にもオフ電圧が印加され、トランジスタ 11 b がオフし、このオフ状態は 1 F の期間保持される。一方、ゲート信号線 17 b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【0446】

図 5 2 の駆動方式では、リセット状態でコンデンサ 19 には、トランジスタ 11 a の開始電流電圧 (オフセット電圧、リセット電圧) が保持される。そのため、このリセット電圧がトランジスタ 11 a のゲート (G) 端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 18 と画素 16 とのカップリング、コンデンサ 19 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き (コントラスト低下) が発生する。したがって、図 5 3 で説明した駆動方法では、表示コントラストを高くすることができない。

【0447】

逆バイアス電圧 V_m を EL 素子 15 に印加するためには、トランジスタ 11 a がオフさせる必要がある。トランジスタ 11 a をオフさせるためには、トランジスタ 11 a の V_{dd} 端子とゲート (G) 端子間をショートすればよい。この構成については、後に図 5 3 を用いて説明をする。

【0448】

また、ソース信号線 18 に V_{dd} 電圧またはトランジスタ 11 a をオフさせる電圧を印加し、トランジスタ 11 b をオンさせてトランジスタ 11 a のゲート (G) 端子に印加させてもよい。この電圧によりトランジスタ 11 a がオフする (もしくは、ほとんど、電流が流れないような状態にする (略オフ状態：トランジスタ 11 a が高インピーダンス状態))。その後、トランジスタ 11 g をオンさせて、EL 素子 15 に逆バイアス電圧を印加する。この逆バイアス電圧 V_m の印加は、全画素同時に行ってもよい。つまり、ソース信号線 18 にトランジスタ 11 a を略オフする電圧を印加し、すべての (複数の) 画素行のトランジスタ 11 b をオンさせる。したがって、トランジスタ 11 a がオフする。その後、

トランジスタ 11 g をオンさせて、逆バイアス電圧を EL 素子 15 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【0449】

次に、図 5 1 の画素構成におけるリセット駆動について説明をする。図 5 3 はその実施例である。図 5 3 に示すように画素 16 a のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 b のリセット用トランジスタ 11 b のゲート (G) 端子にも接続されている。同様に、画素 16 b のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 b のゲート (G) 端子に接続されている。

【0450】

したがって、画素 16 a のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 b がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 b が電流プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 b がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【0451】

さらに詳しく説明する。図 5 3 (a) のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16 a のゲート信号線 17 a にオン電圧が印加され、他の画素 16 のゲート信号線 17 a にオフ電圧が印加されているとする。また、ゲート信号線 17 b は画素 16 a、16 b にはオフ電圧が印加され、画素 16 c、16 d にはオン電圧が印加されているとする。

【0452】

この状態では、画素 16 a は電圧プログラム状態で非点灯、画素 16 b はリセット状態で非点灯、画素 16 c はプログラム電流の保持状態で点灯、画素 16 d はプログラム電流の保持状態で点灯状態である。

【0453】

1 H 後、制御用ゲートドライバ回路 12 のシフトレジスタ回路 61 内のデータが 1 ビットシフトし、図 5 3 (b) の状態となる。図 5 3 (b) の状態は、画素 16 a はプログラム電流保持状態で点灯、画素 16 b は電流プログラム状態で非点灯、画素 16 c はリセット状態で非点灯、画素 16 d はプログラム保持状態で点灯状態である。

【0454】

以上のことから、各画素は前段に印加されたゲート信号線 17 a の電圧により、次段の画素の駆動用トランジスタ 11 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【0455】

図 4 3 に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図 5 4 は図 4 3 の画素構成を前段ゲート制御方式の接続とした実施例である。

【0456】

図 5 4 に示すように画素 16 a のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 b のリセット用トランジスタ 11 e のゲート (G) 端子に接続されている。同様に、画素 16 b のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 e のゲート (G) 端子に接続されている。

【0457】

したがって、画素 16 a のトランジスタ 11 b のゲート (G) 端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、

10

20

30

40

50

次段画素16bのリセット用トランジスタ11eがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11eがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【0458】

さらに詳しく説明する。図55(a)のようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ11gはオフ状態であるとする。

10

【0459】

この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。

【0460】

1H後、制御用ゲートドライバ回路12のシフトレジスタ回路61内のデータが1ビットシフトし、図55(b)の状態となる。図55(b)の状態は、画素16aはプログラム電流保持状態、画素16bは電流プログラム状態、画素16cはリセット状態、画素16dはプログラム保持状態である。

【0461】

以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

20

【0462】

電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ11にプログラムされる電流は0である。つまり、ソースドライバ回路14からは電流が流れない。電流が流れなければ、ソース信号線18に発生した寄生容量641を充放電することができず、ソース信号線18の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1フレーム(フフィールド)(1F)前の電位がコンデンサ19に蓄積されたままとなる。たとえば、1フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。

30

【0463】

ここで、主として電流駆動方式の課題について説明し、この課題を解決して本発明の構成について説明する。なお、書込み不足の問題は、電流駆動のみではなく、電圧駆動でも発生する場合がある。したがって、本発明は、電圧駆動にも適用することができる。図1でも説明したが、図64の各画素16の発光素子15を表示させるには、1水平走査期間(1H)内でゲート信号線17aによりトランジスタ11bおよび11cを導通状態とする。次に、アノード電圧Vddよりトランジスタ11aおよびソース信号線18を介してソースドライバ回路14に電流Iw(プログラム電流Iw)を引き込ませる。この時の電流量の大小により階調表示を行う。コンデンサ19にはトランジスタ11aのドレイン電流に対応するゲート電圧が蓄積される。

40

【0464】

なお、本発明の実施例は、本明細書に記載した他の実施例と組み合わせて用いることが好ましい。たとえば、図45、図50の逆バイアス電圧駆動、図14、図17、図19、図24、図37、図53などの駆動方法との組み合わせである。その他、パネル構成に対しても組み合わせることができることはいうまでもない。たとえば、図8、図9、図10、図11、図27、図40、図41、図48の構造などである。

【0465】

その後、ゲート信号線17bによりトランジスタ11bを導通させ、ゲート信号線17aによりトランジスタ11b、11cを非導通状態とし、Vddよりコンデンサ19の電荷

50

に応じた電流がトランジスタ 11 a を介して発光素子 15 に流れる。

【0466】

ソース信号線 18 の浮遊容量 641 とトランジスタ 11 a のソースドレイン (S-D) 間抵抗の積によりソース信号線 18 に流れる電流は徐々に変化する。そのため、予寄生容量 641 の容量値および抵抗値が大きくなると、1 水平走査期間 (1 H) 内に電流が所定の値まで変化しないことがある。ソース信号線 18 に流れる電流が小さく (低階調に) なるにつれ、トランジスタ 11 a のソースドレイン (S-D) 間抵抗が大きくなるため、電流が小さくなるほど、変化に時間がかかる。トランジスタ 11 a のダイオード特性と、ソース信号線 18 の浮遊容量 641 の容量値によるが、例えばソース信号線 18 に流す電流が $1 \mu\text{A}$ に変化するのに $50 \mu\text{s}$ かかるのに対し、 10nA に変化するのには $250 \mu\text{s}$ かかる。

10

【0467】

ソース信号線 18 に流れる電流値は V_{dd} からトランジスタ 11 a を介して、電荷をソース信号線 18 に供給し、浮遊容量 641 の電荷を変化させることで変化する。つまり、ソース信号線 18 の電圧を変化させると、トランジスタ 11 a を流れる電流 (= ソース信号線 18 を流れる電流) が変化する。電荷の供給量は、電流が小さい領域では少ない。低階調領域 (黒表示領域) では電流が小さい。したがって、黒表示領域では、ソース信号線 18 の電圧変化が遅くなり、その結果電流値の変化も遅くなる。

【0468】

電流値の変化を早くするためには、所定のソース電流値に対する電圧を、ソース信号線 18 に印加すればよい。トランジスタ 11 a のゲート電位をソース信号線 18 の浮遊容量と配線抵抗の積による時定数により変化させることができるからである。この方法により、トランジスタ 11 a は所定の電流をソース信号線 18 に流すように変化する。

20

【0469】

配線抵抗はトランジスタ 11 a のソースドレイン (S-D) 間抵抗に比べ、非常に小さい。したがって、ソース信号線 18 に印加する電圧による変化は非常に速くなる。一例として、 $1 \sim 3 \mu\text{s}$ 程度で完全に目標値に変化させることができる。

【0470】

但し、所定の電流値をソース信号線 18 に流すためのソース電圧はトランジスタ 11 a の電流-電圧特性のばらつきにより変化する。したがって、所定電流値からのずれを補償するために所定電流値を流す電流源をソース信号線 18 に接続して、ソース信号線 18 に流れる電流値を所定電流値にまで変化させる必要がある。

30

【0471】

このことを実現するために、本発明におけるソースドライバ回路 14 の各出力部を図 63 のような構成とした。

【0472】

階調データはソースドライバ回路 14 内の階調データ配線 633 で伝達される。階調データに応じた電流を発生する電流発生部 634 が 18 に出力され、ソース信号線 18 に階調に応じた電流を流す。電圧発生部 631 ではプリチャージ (あるいはソース信号線の電荷を放電させるという意味ではディスチャージ) 電圧を発生する。電圧発生部 631 からのプリチャージ (ディスチャージ) 電圧は、プリチャージ (ディスチャージ) スイッチ 636 介してソース信号線 18 に出力できるように構成している。

40

【0473】

階調に応じた電圧を印加後、階調に応じた電流を流す方法では複数の電圧源と複数の電流源が必要となるので、回路規模が大きくなる。本発明では、プリチャージ電圧は 1 もしくは 2-3 種類であるので、回路構成も容易であるため、回路規模は小さい。

【0474】

電流値の変化はトランジスタ 11 a の見かけの抵抗が、低階調表示時に比べ高階調表示時の方が小さくなるため、波形の変化の速度は階調が増加するにつれ早くなる。そこで、書きこみにくい黒にあわせた電圧を印加し、その後所定の電流値をソース信号線 18 に流す

50

ことで所定の階調を表示するようにする。もしくは、完全黒表示（階調0）のみにプリチャージ電圧をソース信号線18に印加するように構成する。

なお、階調0のみにプリチャージ電圧を印加する場合であっても、R、G、Bでプリチャージ電圧は異ならせることができるように構成することが好ましい。RGBでEL素子15の発光開始電圧が異なっているからである。もちろん、RGBのEL素子15の発光開始電圧などが、ほぼ同一の場合は、同一にしてもよいことは言うまでもない。また、RGBで駆動トランジスタ11aのW/L比、トランジスタサイズが異なっている場合も、R、G、Bでプリチャージ電圧は異ならせることができるように構成することが好ましい。

【0475】

図63において、最も低階調に相当する電圧（以下黒電圧とする）を電圧発生部631において発生させ、階調データ13に応じた電流を電流発生部634より出力する。1水平走査期間（1H）内で電圧印加を始める0.2〜3μ秒、その後電流出力を行うために、制御部12で1水平走査期間を検出し、クロックおよびカウンタなどによりプリチャージ（ディスチャージ）スイッチ636の導通期間を設定する。出力段スイッチ637は常に導通状態であっても構わないが、プリチャージ（ディスチャージ）スイッチ636の導通期間には非導通状態とするほうが望ましい。図65の単位電流源654などに影響を与えることを防止するためである。図73に1水平走査期間内でのスイッチの動作を示す。

【0476】

水平走査期間（1H）の始めに黒電圧を印加することで低階調（黒表示領域）は所定の黒表示がしやすくなる。高階調表示においては、一度黒表示状態となってから高階調表示へ変化する必要があるため、高階調まで変化する前に水平走査期間が終わる可能性がある。2つ以上の水平走査期間にわたって高階調表示をする場合（例えば、白表示の階調A、階調Bを例にする）、1Hの最初にプリチャージ電圧の黒電圧を印加する場合、ソース信号線の状態は黒→階調A→黒→階調Bと変化する。プリチャージ電圧をソース信号線18に印加しない場合にはソース信号線の状態は階調A→階調Bと変化する。黒→階調Bに比べ、階調A→階調Bの方が変化量小さく、速く変化させることができる。

【0477】

そこで、電圧発生部631を出力18に印加するかどうかのプリチャージ（ディスチャージ）スイッチ636の制御を表示階調に応じて変更できるようにする。具体的には高階調表示時に、電圧を印加しないようにする（階調データに応じてプリチャージ（ディスチャージ）電圧を印加するか否かを選択するため、選択プリチャージと呼ぶ。逆に全階調でプリチャージを行なう場合は、全プリチャージと呼ぶ）。

【0478】

そのためにプリチャージ（ディスチャージ）スイッチ636の制御を行う電圧出力制御部632に階調データ13を入力し、階調データ13の値に応じて、電圧出力制御部632の出力を変化できるようにした。

この選択プリチャージを64階調表示行う場合（階調0を黒、階調63を白とする）で例示して説明する。たとえば、第1の選択プリチャージモードでは、0階調のみプリチャージ電圧をソース信号線18に印加する。階調0のときにのみ1水平走査期間のうちの1〜3μ秒だけ電圧発生部631のプリチャージ電圧を18に出力できるように電圧出力制御部632の制御方法を決めればよい。また、第2の選択プリチャージモードでは、0〜3階調のみプリチャージ電圧をソース信号線18に印加する。階調データが階調0〜3のときにのみ1水平走査期間のうちの1〜3μ秒だけ電圧発生部631のプリチャージ電圧を18に出力できるように電圧出力制御部632の制御方法を決めればよい。これらの選択プリチャージモード、全プリチャージは、あらかじめコマンドで変更できるようにしておく。また、プリチャージ印加時間、プリチャージ電圧もコマンドで変更できるようにしておくことが好ましい。これらは、コマンドデコーダ回路、電子ボリウムなどを構成することにより容易に実現できる。

【0479】

図65から図69に電流発生部の構成の例を示す。ここでは、階調データが4ビット、1

10

20

30

40

50

6 階調の場合で説明を行うが、任意のビット数でも同様に実現可能である。たとえば、6 ビット（6 4 階調（2 6 万色））などが例示される。図 6 5～6 7、図 6 9 においてはビットの重みに対応した数のトランジスタとスイッチを用意すれば実現可能であるし、図 6 8 においては、デジタルアナログ変換部 6 8 1 の入力ビット数を増減させればよい。

【0 4 8 0】

図 6 5 の 6 5 4 は単位電流源となるトランジスタである。ゲート電圧に応じた電流が流れる。出力 1 8 とトランジスタ（単位電流源）6 5 4 の間にはスイッチ 3 3 が接続される。データのビットの重みに応じてスイッチ 3 3 に接続するトランジスタ数を変えることでデータに応じた電流がソースドライバ回路 1 4 の内部配線 6 3 8 に出力される。内部配線 6 3 8 には、ソース信号線 1 8 が接続されている。

10

【0 4 8 1】

図 6 5 などは、電流出力のソースドライバ回路の一部を図示している。最下位ビット（LSB）にはトランジスタ 6 5 4 が 1 つ、次に上位ビットにはトランジスタ 2 つ、次に上位ビットにはトランジスタ 4 つ、最上位ビット（MSB）にはトランジスタ 8 つが接続される。階調データに応じてスイッチ 6 5 3 をオンオフさせることで、階調データに応じて出力と接続されるトランジスタ数が変化し、ソース信号線 1 8 に流れる電流が変化し、階調表示される。

【0 4 8 2】

以上のように、外部からのデータ（D 0～D 3）に応じて、それに対応する電流源（1 単位）に向かって電流が流れる。したがって、データに応じて、0 個から 6 3 個に電流源（1 単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は 4 ビットの 1 5 個としているが、これに限定するものではない。8 ビットの場合は、2 5 5 個の単位電流源 6 5 4 を形成（配置）すればよい。また、6 ビットの時は、6 3 個の単位電流源 6 5 4 を形成（配置）すればよい。単位電流源を構成するトランジスタ 6 5 4 は同一のチャンネル幅 W、チャンネル幅 L とする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

20

【0 4 8 3】

また、電流源 6 5 4 はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源 6 5 4 を重み付けしてもよい。たとえば、1 単位の電流源 6 5 4 と、2 倍の電流源 6 5 4 と、4 倍の電流源 6 5 4 など混在させて電流出力回路を構成してもよい。

30

しかし、電流源 6 5 4 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【0 4 8 4】

たとえば、LSB が、1 単位の電流源となるトランジスタ 6 5 4 が 1 個で構成され、次のビットが 1 単位の電流源となるトランジスタ 6 5 4 が 2 個で構成され、次のビットが 1 単位の電流源となるトランジスタ 6 5 4 が 4 個で構成され、次のビットが 1 単位の電流源となるトランジスタ 6 5 4 が 8 個で構成された構成を例とする。

【0 4 8 5】

この構成例で、LSB が、1 単位の電流源となるトランジスタ 6 5 4 が 1 個で構成され、次のビットが 1 単位の電流源となるトランジスタ 6 5 4 が 2 個で構成され、次のビットが 2 単位の電流源となるトランジスタ 6 5 4 が 2 個で構成され、次のビットが 2 単位の電流源となるトランジスタ 6 5 4 が 4 個で構成された構成が該当する。

40

【0 4 8 6】

単位電流源 6 5 4 を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ 6 5 4 の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、 $L = 4 \mu\text{m}$ であれば、1 つの単位電流源を構成するトランジスタ 6 5 4 のサイズは、 $W \times L = 12 \text{ 平方} \mu\text{m}$ である。トランジスタサイズが小さくなるほどバラツキが大きく

50

なるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【0487】

トランジスタサイズと出力電流のバラツキの関係を図113に示す。図113のグラフの横軸はトランジスタサイズ（平方 μm ）である。縦軸は、出力電流のバラツキ（ σ ）を%で示したものである。ただし、出力電流のバラツキ%は、単位電流源（1つの単位トランジスタ）654を63個の組で形成し（63個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、1つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは63個あるので面積は63倍である。しかし、本発明は単位電流源654の大きさを単位として検討している。したがって、図113において、30平方 μm の単位トランジスタ654を63個形成したとき、その時の出力電流のバラツキは、0.5%となることを示している。

【0488】

64階調の場合は、 $100/64=1.5\%$ である。したがって、出力電流バラツキは1.5%以内にすることが必要である。図113から1.5%以下にするためには、単位トランジスタのサイズは2平方 μm 以上にする必要がある（64階調は63個の2平方 μm の単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位電流源654のサイズの上限は、300平方 μm である。したがって、64階調表示では、単位電流源654のサイズは、2平方 μm 以上300平方 μm 以下にする必要がある。

【0489】

128階調の場合は、 $100/128=0.78\%$ である。したがって、出力電流バラツキは0.78%以内にすることが必要である。図113から0.78%以下にするためには、単位トランジスタのサイズは8平方 μm 以上にする必要がある。したがって、128階調表示では、単位電流源654のサイズは、8平方 μm 以上300平方 μm 以下にする必要がある。

【0490】

なお、図113は1 σ のバラツキデータである。3 σ を基準とするならば、64階調の場合は、 $(100/64)/3=0.5\%$ である。したがって、出力電流バラツキは0.5%以内にすることが必要である。図113から0.5%以下にするためには、単位トランジスタのサイズは30平方 μm 以上にする必要がある。一方でトランジスタサイズには制限がある。3 σ を基準とするならば、64階調表示では、単位電流源654のサイズは、30平方 μm 以上300平方 μm 以下にする必要がある。実際には、多少のバラツキが発生しても画像表示でバラツキが認識されることはない。64階調表示では、2 σ レベルの15平方 μm 以上300平方 μm 以下で実用上は十分であった。

【0491】

一般的に、階調数をKとし、単位トランジスタ654の大きさを S_t （平方 μm ）としたとき、

$$40 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300$$

の関係を満足させる。

【0492】

さらに好ましくは、

$$120 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300$$

の関係を満足させることが好ましい。

以上の例は、64階調で63個のトランジスタを形成した場合である。64階調を127個の単位トランジスタ654で構成する場合は、単位トランジスタ654のサイズとは、2つの単位トランジスタ654を加えたサイズである。たとえば、64階調で、単位トランジスタ654のサイズが10平方 μm であり、127個形成されていたら、図113では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。同様に、64階調

で、単位トランジスタ654のサイズが10平方 μm であり、255個形成されていたら、図113では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

【0493】

1階調あたりの刻み幅の調整は可変抵抗656を変化させることで行われる。トランジスタ655とトランジスタ654はカレントミラー構成となり、トランジスタ655に流れる電流に対し、ミラー比に応じた電流がトランジスタ654を流れる。可変抵抗656の値を変化させるとトランジスタ655を流れる電流が変化するため、1階調あたりの電流増加分を変化させることができる。なお、可変抵抗656は、電流を変化させる（調整する）手段であり、可変抵抗に限定するものではない。たとえば、電流出力の電子ポリウムが例示される。以上の事項は、図69の可変抵抗692においても適用できることは言うまでもない。

【0494】

図66も同様に出力に接続されるトランジスタ654の数により階調表示を行うが、図65と異なる点は、1階調あたりの刻み幅をきめるトランジスタ654の電圧を可変電圧源661により直接制御するようにした点である。なお、可変電圧源661は、電圧を変化させる（調整する）手段であり、可変電圧源するものではない。たとえば、電圧出力の電子ポリウムが例示される。

【0495】

図67は図65の可変抵抗656のかわりにオペアンプなどからなる定電流回路を接続したものである。電圧源671の電圧値と抵抗672によりトランジスタ655に流れる電流が決められる。階調に応じて電流値を変化させる方法は図65、図66と同一である。なお、抵抗672をソースドライバ回路14の外付け抵抗とすることにより、単位電流源654に流れる電流を自由に設定できるようになるから好ましい。

【0496】

図68はトランジスタ683のゲート電圧により内部配線638に流れる電流を変化させることで階調表示を行うものである。ゲート電圧は階調データにより変化する。階調データをデジタルアナログ変換部681によりアナログ信号に変化しこの信号が江院算増幅器682を介してトランジスタ683のゲート電圧に入力されることで、電流を変化させる。

【0497】

図65から図68で生成された階調に応じた電流出力回路635と、黒電圧（プリチャージ電圧）を発生する電圧発生部631と、階調データおよび水平走査期間（1H）の時間に応じてプリチャージ（ディスチャージ）スイッチ636などを制御する制御部632などで本発明が実現可能である。

【0498】

説明を容易にするため、あるいは図示を容易にするため、図65から図68では1出力の場合について説明を行った。

複数列存在する場合に全ての列において同一階調時に同一電流出力を行うためにはトランジスタ（単位電流源）654に流れる電流が全ての列で等しくある必要がある。

【0499】

図65の構成で複数列において同一電流出力させるために電流発生部634を改良したのが図69である。可変抵抗692を流れる電流に対し、少なくとも1対のカレントミラー部を用意し、カレントミラーにより電流を複数の系統に分配する。

必要であれば、さらにカレントミラーを構成し、複数の系統に電流を分配する。分配されたトランジスタ695のゲートを各列のトランジスタ654のゲートに接続することで、同一電流出力が得られる。このときゲートが共通の各カレントミラーを形成するトランジスタは近接配置することでミラー比のばらつきが少なく電流を分配することができる。トランジスタ695bおよび696cのゲート信号線から先の構成は695aの構成と同じである。

【0500】

図 6 6 の構成では、電圧源 6 6 1 の出力を各行のトランジスタ 6 5 4 のゲートに供給する。電圧源 6 6 1 の電圧によりトランジスタ 6 5 4 のゲート電圧を変化させることで 1 階調あたりの出力電流を制御できるようにした点が図 6 5 の構成と異なる点である。

【0501】

複数列にわたって同一電流を出力できるようにしたのが図 7 5 である。各列のトランジスタ（単位電流源）6 5 4 のゲート信号線全てに共通の電圧がかかるようにし、その電圧を可変電圧源 6 6 1 で供給できるようにした。例えば 6 5 4 a のトランジスタが 1 列目、6 5 4 b が 2 列目、6 5 4 c が 3 列目とする。この方法は、トランジスタ（単位電流源）6 5 4 のしきい値電圧がトランジスタごとにばらついた場合、全出力が同一階調であっても出力電流値が異なり、信号線ごとの筋のムラが発生する可能性がある。

10

しかし、結晶シリコンを用いて作成する場合、隣接出力間でのしきい値電圧の差は小さいこと、しきい値電圧は 1 つのチップにおいてある方向になだらかに変化することから、表示を行った場合にはムラは筋状にはならず、輝度は一端から他端へなだらかに変化するため、表示特性に問題はない。これにより簡単な構成で、電流発生部 6 3 4 が形成できる。

【0502】

図 6 7 は演算増幅器 5 4 およびトランジスタ 6 7 2 および抵抗 6 7 3 を用いて定電流源を形成し、定電流源により流れる電流をトランジスタ 6 7 4 および 6 5 5、カレントミラーを用いてトランジスタ（単位電流源）6 5 4 にミラー比に応じた電流を流すようにした構成である。単位電流源 6 5 4 に流れる電流は、電圧源 6 7 1 と抵抗 6 7 3 および抵抗 6 7 3 に接続された V c c 電源の値により決まる。

20

【0503】

有機発光素子の輝度に対する電流特性は、R G B 並置法においては各色の発光効率が異なることから、例えば、図 7 2 に示すように同一輝度に対する電流値が異なる。またカラーフィルタを用いる方法では、各色でのカラーフィルタの透過率に違いがあれば、同一輝度に対する電流値が色ごとに異なる。また、C C M を用いる場合においても、色変換効率が青から赤および青から緑で異なるため、基本的には各色に同一輝度に対する電流値は異なる。それゆえ発光開始電流も色ごとに異なる。図 7 2 の例では赤、緑、青はそれぞれ I R、I G、I B となる。

【0504】

電圧発生部 6 3 1 で発生する電圧は、ソース信号線 1 8 に最も低い階調に必要な電流を流すときのソース信号線電圧であることから、色ごとに電圧が異なる。

30

【0505】

そこで図 7 1 に示すように表示色ごとに異なる電圧 7 1 1 R、7 1 1 G、7 1 1 B を電圧発生部 6 3 1 から供給し、7 1 1 R には赤（R）の発光素子の発光開始電流が流れる時のソース電位に対応した電圧を、7 1 1 G、7 1 1 B にも同様に緑（G）、青（B）に対応した電圧を供給する。

【0506】

供給する電圧値は、図 7 2 に示すような有機発光素子の電流－輝度特性より発光開始電流（I d a r k）を算出する。画素が、図 1 のような構成であれば、発光素子 1 5 に流れる電流を制御するトランジスタ 1 1 a の電流－電圧特性において、ソース信号線 1 8 に I d a r k だけ電流が流れる時のトランジスタ 1 1 a のゲート電圧を算出し、このゲート電圧を電圧発生部 6 3 1 において生成するようにする。なお、説明を容易にするため、I d a r k だけ電流が流れる時のトランジスタ 1 1 a のゲート電圧を算出するとしたが、これに限定するものではない。I d a r k 近傍であればよい。本発明の意図する点は、R G B の各回路において、プリチャージ電圧が、黒階調表示で良好なものにする点である。したがって、実用上、十分であれば、I d a r k でなくてもよいことはいうまでもない。以上の事項は、以下の実施例でも同様である。

40

【0507】

また、画素構成は図 1 の構成ばかりでなく、図 7 0 に示すようなカレントミラー構成の場合でも本発明を実施することが可能である。トランジスタ 1 1 b に I d a r k の電流が流

50

れるときのゲート電圧を電圧発生部 6 3 1 において生成すればよい。つまり画素の回路構成に関わらず、有機発光素子に流れる電流を制御するトランジスタが I d a r k の電流を流す時のゲート電圧を電圧発生部 6 3 1 で発生させればよい。

【0508】

また、図 7 1 に示すように電圧値を表示色ごとに異なる構成とするばかりでなく、さらに電圧出力制御部 6 3 2 の出力を表示色ごとに変化させてもよい。例えば表示色ごとで、プリチャージ（ディスチャージ）スイッチ 6 3 6 の導通時間を変えたり、プリチャージ（ディスチャージ）スイッチ 6 3 6 を導通状態とする階調を変えたりする。たとえば、R のみは、階調 0 のみを選択プリチャージし、G、B はプリチャージしない構成が例示される。また、R のみは、階調 0 - 3 のみを選択プリチャージし、G、B は 0 階調のみを選択プリチャージする構成が例示される。また、R のみは、全階調プリチャージし、G、B は 0 階調のみを選択プリチャージする構成が例示される。

【0509】

これは所定電流値に変化するまでの時間が R G B の電流値により異なり、電流がたくさん流れるほど変化に要する時間が短いこと、発光開始電流が大きい表示色に比べ、小さい表示色ではより高階調側まで電圧発生部 6 3 1 の電圧を印加して、低階調表示しやすい、などを考慮するためである。

【0510】

特に、図 6 4 の画素構成において R G B 並置法によるマルチカラー表示装置を作成した場合、階調 0 の時のみ 0. 5 から 3 μ 秒程度電圧発生部の電圧を印加すればよいことがわかった。また、発光色の表示特性によっては、必ずしも電圧を印加しなくても低階調表示ができることがわかった。

【0511】

例えば、図 7 2 に示す輝度 - 電流特性を持つ赤色発光素子（R）、緑色発光素子（G）、青色発光素子（B）でマルチカラー表示装置を作成した場合、黒を表示するための電流値が色ごとに異なり、赤色表示素子に比べ緑色発光素子では電流値が小さくならないことがわかる。

【0512】

図 6 4 や図 7 0 に示すような画素構成、並びに有機発光素子に流す電流をトランジスタの電流によりゲート電位を変化させ階調表示を行う表示装置において、低電流になればなるほど、有機発光素子に流す電流を制御するトランジスタに流れる電流が所定電流値まで変化するのに要する時間が長くなる。特に最低電流に変化するのが最も時間がかかる。その結果、前の水平走査期間で流れた電流値から水平走査期間内で完全に黒階調の電流値にまで変化できず、ある途中の階調を示す電流が流れるため、黒表示が難しい。

【0513】

しかし、発光開始電流が大きい場合、必ずしもトランジスタに流れる電流が 0 でなくても黒表示が可能となる。赤色発光素子では電流が I R 以下であればよいわけである。水平走査期間の長さによっては、黒表示を行う場合に I G 以下の電流にまでは変化できないが、I G より大きく I B 以下の電流にできることがある。この時、電圧発生部 6 3 1 より発生された電圧を印加しなくても赤および青画素は黒表示可能で、緑画素のみ黒表示できない

【0514】

そこで、図 7 4 に図示するように、電圧出力制御部 6 3 2 にイネーブル信号配線 7 4 1 を表示色ごとに入力し、電圧発生部 6 3 1 の電圧を印加するかどうかを表示色ごとに選択できるようにした。上の例の表示装置においては、赤、青の 7 4 1 R、7 4 1 B にイネーブル信号を入力し、階調にかかわらず、すべての水平走査期間内でプリチャージ（ディスチャージ）スイッチ 6 3 6 を非導通状態とし、7 4 1 G のみ、階調データ 1 3 が階調 0 を示すときに水平走査期間の一部の期間でプリチャージ（ディスチャージ）スイッチ 6 3 6 が閉じるようにすればよい。これにより表示色ごとに黒電圧を印加するかどうかを選択できるようになる。

【0515】

また、この方法は、図71の構成に比べ、必要な表示色のみ電圧を印加する場合、電圧発生部631で発生する電圧の種類を削減することが可能である。1色のみ黒電圧印加の場合は3つから1つに、2色黒電圧印加の場合でも3つから2つに削減でき、電源部の回路規模を小さくすることが可能となる。

【0516】

図63などで図示したスイッチ636は低温ポリシリコン技術などで、基板70上に直接形成してもよいことは言うまでもない。電圧発生部631についても同様である。

【0517】

プリチャージ電圧を印加する期間は、0.5 μ 秒以上にする必要がある。もしくはプリチャージ時間は1水平走査期間(1H)の1%以上10%以下にすることが好ましい。さらに好ましくは1Hの2%以上8%以下にすることが好ましい。

【0518】

また、表示画像21の内容(明るさ、精細度など)で、プリチャージする電圧を変化できるように構成しておくことが好ましい。たとえば、ユーザーが調整スイッチを押すことにより、あるいは調整ポリウムを回すことにより、この変化を検出しプリチャージ電圧(電流)の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。たとえば、ホトセンサで外部の外光の強さを検出し、検出された値で、プリチャージ(ディスチャージ)電圧(電流)を調整する。他に、画像の種類(パソコン画像、昼の画面、星空など)に応じて、プリチャージ(ディスチャージ)電圧(電流)を調整する。調整は画像の平均明るさ、最大輝度、最小輝度、動画、静止画、輝度分布を考慮して決定する。

【0519】

プリチャージ電圧は、細分化して設定できるようにしてもよい。たとえば、プリチャージ電圧は、PV1、PV2、PV3、PV4を発生させる。階調0の場合は、PV1電圧をソース信号線18に印加し、階調1から階調7は、PV2電圧をソース信号線18に印加し、階調8から階調16は、PV4電圧をソース信号線18に印加し、階調59から階調63は、PV4電圧をソース信号線18に印加するということのように構成してもよい。

【0520】

また、プリチャージ電圧は、黒表示領域に印加するものに限定するものではなく、前記実施例のように、白表示領域にソース信号線18に白電圧となるようにプリチャージ電圧を印加してもよい。

また、プリチャージ電圧は図64に図示するアノード電圧V_{dd}(駆動トランジスタ11aのソースあるいはドレイン端子電圧)より、0.2以上2.0(V)変化させた電圧とすることがよい。さらに好ましくは、0.4以上1.2(V)変化させた電圧とすることがよい。たとえば、図64のように、駆動トランジスタ11aがPチャンネルとし、V_{dd}電圧が、5.5(V)とすれば、プリチャージ電圧は、5.3(V)以下3.5(V)以上にする。さらに好ましくは、プリチャージ電圧は、5.1(V)以下4.2(V)以上にする。

【0521】

以下、基板71に内蔵するゲートドライバ回路12をPチャンネルのトランジスタのみで構成した本発明のゲートドライバ12について説明をする。先にも説明したように、画素16とゲートドライバ回路12とをPチャンネルトランジスタのみで形成する(つまり、基板71に形成するトランジスタはすべてPチャンネルトランジスタである。反対に言えば、Nチャンネルのトランジスタを用いない状態)ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Pチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、V_t電圧の低減化(より0(V)に近くするなど)、V_tバラツキの減少を、CMOS構造(PチャンネルとNチャンネルトランジスタを用いる構成)よりも容易に実施できる。

【0522】

一例として、図78に図示するように、本発明は、表示領域50の左右に1相（シフトレジスタ）づつ、ゲートドライバ回路12を配置または形成あるいは構成している。ゲートドライバ回路12など（画素16のトランジスタも含む）は、プロセス温度が450度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が450度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものを用いてもよい。

【0523】

1つは選択側のゲートドライバ回路12aである。ゲート信号線17aにオンオフ電圧を印加し、画素トランジスタ11を制御する。他方のゲートドライバ回路12bは、EL素子15に流す電流を制御（オンオフさせる）する。本発明の実施例では、主として図1の画素構成を例示して説明をするがこれに限定するものではない。

【0524】

図77は、本発明のゲートドライバ回路12のブロック図である。説明を容易にするため、4段分しか図示していないが、基本的には、ゲート信号線17数に対応する単位ゲート出力回路771が形成または配置される。

【0525】

図77に図示するように、本発明のゲートドライバ回路12（12a、12b）では、4つのクロック端子（SCK0、SCK1、SCK2、SCK3）と、1つのスタート端子（データ信号（SSTA））、シフト方向を上下反転制御する2つの反転端子（DIRA、DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてL電源端子（VBB）と、H電源端子（Vd）などから構成される。

【0526】

本発明はアレイ基板71に形成するトランジスタをすべてPチャンネルで形成する。Pチャンネルで形成することにより、狭額縁化することができる。2.2インチのQCIFパネルの場合、ゲートドライバ回路12の幅は、6μmルールの採用時で、600μmで構成できる。供給するゲートドライバ回路12の電源配線の引き回しを含めても700μmに構成することができる。同様の回路構成をCMOS（NチャンネルとPチャンネルトランジスタ）で構成すると、1.2mmになってしまう。したがって、ゲートドライバ回路12をPチャンネルで形成することにより、狭額縁化をいう特徴ある効果を発揮できる。

【0527】

また、画素16をPチャンネルのトランジスタで構成することにより、Pチャンネルトランジスタで形成したゲートドライバ回路12とのマッチングが良くなる。Pチャンネルトランジスタ（図1の画素構成では、トランジスタ11b、11c、トランジスタ11d）はL電圧でオンする。一方、ゲートドライバ回路12もL電圧が選択電圧である。Pチャンネルのゲートドライバは図79の構成でもわかるが、Lレベルを選択レベルとするとマッチングが良い。Lレベルが長期間保持できないからである。一方、H電圧は長時間保持することができる。また、Pチャンネルトランジスタは耐圧も良好であり、信頼性が高いという利点も発揮できる。また、低コスト化を実現できる。

【0528】

また、EL素子15に電流を供給する駆動用トランジスタ（図1ではトランジスタ11a）もPチャンネルで構成することにより、EL素子15のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Vddから順方向にEL素子15に電流を流すことができる。以上の事項から、画素16のトランジスタをPチャンネルとし、ゲートドライバ12のトランジスタもPチャンネルとすることがよい。以上のことから、本発明の画素16を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をPチャンネルで形成し、ゲートドライバ回路12のトランジスタをPチャンネルで構成するという事項は単なる設計事項ではない。

【0529】

この意味で、レベルシフタ (LS) 回路を、基板 71 に直接に形成してもよい。つまり、レベルシフタ (LS) 回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ (図示せず) からのロジック信号は、基板 71 に直接形成されたレベルシフタ回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 12 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 12 に印加する。

【0530】

なお、レベルシフタ回路を半導体チップで形成し、基板 71 に COG 実装などしてもよい。また、ソースドライバ回路 14 は、基本的に半導体チップで形成し、基板 71 に COG 実装する。ソースドライバ回路 14 は、メモリを内蔵したり、多機能のコントロール機能を内蔵したり、ドライブ能力を高くするため、高モビリティのシリコンなどからなる半導体で構成することが好ましい。

【0531】

ただし、ソースドライバ回路 14 を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板 71 に直接に形成してもよい。画素 16 を構成するトランジスタ 11 を P チャンネルで構成すると、プログラム電流は画素 16 からソース信号線 18 に流れ出す方向になる。

【0532】

したがって、画素 16 の駆動用トランジスタ 11a (図 1 の場合) が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 14 はプログラム電流 I_w を引き込むように、単位電流源 634 を N チャンネルトランジスタで構成する。ソースドライバ回路 14 をアレイ基板 71 に形成するには、N チャンネル用マスク (プロセス) と P チャンネル用マスク (プロセス) の両方を用いる必要がある。概念的に述べれば、画素 16 とゲートドライバ 12 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタは N チャンネルで構成するのが本発明の表示パネル (表示装置) である。

【0533】

なお、説明を容易にするため、本発明の実施例では、図 1 の画素構成を例示して説明をする。しかし、画素 16 の選択トランジスタ (図 1 ではトランジスタ 11c) を P チャンネルで構成し、ゲートドライバ回路 12 を P チャンネルトランジスタで構成するというなどの本発明の技術的思想は、図 1 の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図 50 のカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図 62 に図示するような 2 つのトランジスタ (選択トランジスタはトランジスタ 11b、駆動トランジスタはトランジスタ 11a) にも適用することができる。また、図 51 に図示するような 4 つのトランジスタを用いる画素構成にも適用することができることは言うまでもない。したがって、ゲートドライバ回路 12 と画素トランジスタを P チャンネルトランジスタで形成し、ソースドライバ回路 14 を半導体チップで形成するという構成は、図 1 などの電流駆動の画素構成に限定されるものではない。

【0534】

画素 16 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス (表示パネルあるいは表示装置) に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

【0535】

反転端子 (DIRA、DIRB) は各単位ゲート出力回路 771 に対し、共通の信号が印加される。なお、図 79 の等価回路図をみれば、理解できるが、反転端子 (DIRA、DIRB) は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子 (DIRA、DIRB) に印加している電圧の極性を反転させる。

【0536】

なお、図 77 の回路構成は、クロック信号線数は 4 つである。4 つが本発明では最適な数

10

20

30

40

50

であるが、本発明はこれに限定するものではない。4つ以下でも4つ以上でもよい。

【0537】

クロック信号(SCK0、SCK1、SCK2、SCK3)の入力は、隣接した単位ゲート出力回路771で異ならせている。たとえば、単位ゲート出力回路771aには、クロック端子のSCK0がOCに、SCK2がRSTに入力されている。この状態は、単位ゲート出力回路771cも同様である。単位ゲート出力回路771aに隣接した単位ゲート出力回路771b(次段の単位ゲート出力回路)は、クロック端子のSCK1がOCに、SCK3がRSTに入力されている。したがって、単位ゲート出力回路771に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、次段は、クロック端子のSCK1がOCに、SCK3がRSTに入力され、さらに次段の単位ゲート出力回路771に入力されるクロック端子は、SCK0がOCに、SCK2がRSTに入力され、というように交互に異ならせている。

10

【0538】

図79が単位ゲート出力回路771の回路構成である。構成するトランジスタはPチャンネルのみで構成している。図80が図79の回路構成を説明するためのタイミングチャートである。なお、図78は図79の複数段分におけるタイミングチャートを図示したものである。したがって、図79を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図79の等価回路図を参照しながら、図80のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

20

【0539】

Pチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線17をHレベル(図79ではVd電圧)に維持することは可能である。しかし、Lレベル(図79ではVBB電圧)に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。IN端子に入力された信号と、RST端子に入力されたSCKクロックにより、n1が変化し、n2はn1の反転信号状態となる。n2の電位とn4の電位とは同一極性であるが、OC端子に入力されたSCKクロックによりn4の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q端子がその期間、Lレベルに維持される(オン電圧がゲート信号線17から出力される)。SQあるいはQ端子に出力される信号は、次段の単位ゲート出力回路771に転送される。

30

【0540】

図77、図79の回路構成において、IN(INA、INb)端子、クロック端子の印加信号のタイミングを制御することにより、図81(a)に図示するように、1ゲート信号線17を選択する状態と、図81(b)に図示するように2ゲート信号線17を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路12aにおいて、図81(a)の状態は、1画素行(51a)を同時に選択する駆動方式である(ノーマル駆動)。また、選択画素行は1行ずつシフトする。図81(b)は、2画素行を選択する構成である。この駆動方式は、図27、図28で説明した複数画素行(51a、51b)の同時選択駆動(ダミー画素281行を構成する方式)である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に選択される。特に、図81(b)の駆動方法は、最終的な映像を保持する画素行(51a)に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

40

【0541】

なお、図81(b)は隣接した画素16行を選択する方式であるが、図82に図示するように、隣接した以外の画素16行を選択してもよい(図82は、3画素行離れた位置の画素行を選択している実施例である)。また、図79の構成では、4画素行の組で制御される。4画素行のうち、1画素行を選択するか、連続した2画素行を選択するかの制御を実施できる。これは、使用するクロック(SCK)が4本によることの制約である。クロック(SCK)8本になれば、8画素行の組で制御を実施できる。したがって、図79の構

50

成で明らかであるが、図 8 4 に図示するように、画素行を選択することができる。

【0542】

図 8 4 (a) では、4 画素行に組で 1 画素行を選択することができる (4 画素行の組で、1 本の画素行を選択するが、全く選択しないかは、IN データの入力状態と、シフト状態で決定される)。図 8 4 (b) では、4 画素行に組で連続した 2 画素行を選択することができる (4 画素行の組で、2 本の画素行を選択するが、全く選択しないかは、IN データの入力状態と、シフト状態で決定される)。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、1 画素行もしくは、画素行の組の $1/2$ 以下の本数 (たとえば、4 画素行の組であれば、 $4/2 = 2$ 画素行) を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。

10

【0543】

1 画素行を選択する図 8 1 (a) では、図 8 3 (a) で図示するように、プログラム電流 I_w は 1 つの画素 1 6 に流れる。図 8 1 (b)、図 8 2 のように 2 画素行を同時に選択する駆動方式は、図 2 4、図 2 7 で説明した駆動方式と同様になる。プログラム電流 I_w は図 8 3 (b) に図示するように、2 画素行に分割されて画素 1 6 に書き込まれる。ただし、これに限定されるものではない。たとえば、図 8 3 (b) に図示するように、プログラム電流 $I_w \times 2$ の電流を印加し、選択された 2 つの画素 (1 6 a、1 6 b) に同一の電流を流すように構成してもよい。

【0544】

選択側のゲートドライバ 1 2 a の動作は、図 8 1 の動作である。図 8 1 (a) に図示するように、1 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。また、図 8 1 (b) に図示するように、2 画素行を選択し、選択位置を 1 水平同期信号に同期して 1 画素行ずつシフトする。

20

【0545】

図 8 4 は、EL 素子 1 5 をオンオフさせるゲート信号線 1 7 b (図 1 を参照) を制御するゲートドライバ 1 2 b の動作を説明する説明図である。図 8 4 (a) は、4 画素行の組 (以降、このような画素行の組を画素行組と呼ぶ) に 1 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。表示画素行 5 3 位置は、水平同期信号 (HD) に同期して 1 画素行ずつシフトする。もちろん、4 画素行組に 1 画素行に対応するゲート信号線 1 7 b にオン電圧を印加する (他の 3 画素行に対応するゲート信号線 1 7 b にはオフ電圧が印加されている) か、4 画素行組のすべてにオフ電圧を印加する (4 画素行に対応するゲート信号線 1 7 b にオフ電圧が印加されている) かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

30

【0546】

図 8 4 (b) は、4 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。表示画素行 5 3 位置は、水平同期信号 (HD) に同期して 1 画素行ずつシフトする。もちろん、4 画素行組に 2 画素行に対応するゲート信号線 1 7 b にオン電圧を印加する (他の 2 画素行に対応するゲート信号線 1 7 b にはオフ電圧が印加されている) か、4 画素行組のすべてにオフ電圧を印加する (4 画素行に対応するゲート信号線 1 7 b にオフ電圧が印加されている) かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

40

【0547】

また、図 8 4 (a) は 4 画素行組に 1 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。図 8 4 (b) は、4 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加した状態である。しかし、本発明はこの構成 (方式) に限定するものではない。たとえば、6 画素行組に 1 画素行のゲート信号線 1 7 b にオン電圧を印加してもよい。また、8 画素行組の 2 画素行のゲート信号線 1 7 b にオン電圧を印加してもよい。つまり、図 8 4 に限定するものではない。また、RGB でオンオフ状態を変化させてもよい。たとえば、R は 6 画素行組に 1 画素行を選択し、G と B を図 8 4 の表示状態とするなどである。

【0548】

50

図 8 5 は図 8 4 (a) の駆動状態の時に、ゲート信号線 1 7 b に出力される電圧の状態である。先にも説明したように、信号線 1 7 b の (**) で記載した添え字 ** は、画素行を示している。なお、説明を容易にするため、画素行は (1) からとしている。また、表の上段の数字は、水平走査期間の番号を示している。

【0549】

図 8 5 に図示するように、ゲート信号線 1 7 b (1) ~ ゲート信号線 1 7 b (4) と、ゲート信号線 1 7 b (5) ~ ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

【0550】

図 8 6 は図 8 4 (b) の駆動状態の時に、ゲート信号線 1 7 b に出力される電圧の状態である。図 8 6 に図示するように、ゲート信号線 1 7 b (1) ~ ゲート信号線 1 7 b (4) と、ゲート信号線 1 7 b (5) ~ ゲート信号線 1 7 b (8) とが同一波形である。つまり、4 画素行組で同一の動作が実施されている。

【0551】

図 8 4 の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面 5 0 の明るさを調整することができる。Q C I F パネルの場合は、垂直画素数は 2 2 0 ドットである。したがって、図 8 4 (a) では、 $220 / 4 = 55$ 画素行を表示することができる。つまり、白ラスタ表示では、55 画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を 55 本 → 54 本 → 53 本 → 52 本 → 51 本 → 5 本 → 4 本 → 3 本 → 2 本 → 1 本 → 0 本と変化させることにより、表示画面を暗くすることができる。逆に、0 本 → 1 本 → 2 本 → 3 本 → 4 本 → 5 本 → 50 本 → 51 本 → 52 本 → 53 本 → 54 本 → 55 本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

【0552】

この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。その上、明るさに対応するガンマ特性に変化はない (画面が明るくとも、暗くとも階調数は維持される)。

【0553】

以上の実施例では、表示画面 5 0 の明るさを調整する表示画素行数の変化は、1 本ごとにするとしたが、これに限定するものではない。54 本 → 52 本 → 50 本 → 48 本 → 46 本 → 6 本 → 4 本 → 2 本 → 0 本と変化させてもよい。また、55 本 → 50 本 → 45 本 → 40 本 → 35 本 → 15 本 → 10 本 → 5 本 → 0 本と変化させてもよい。

【0554】

同様に、図 8 4 (b) では、Q C I F パネルでは、 $220 / 2 = 110$ 画素行を表示することができる。つまり、白ラスタ表示では、110 画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を 110 本 → 108 本 → 106 本 → 104 本 → 102 本 → 10 本 → 8 本 → 6 本 → 4 本 → 2 本 → 0 本と変化させることにより、表示画面を暗くすることができる。逆に、0 本 → 2 本 → 4 本 → 6 本 → 8 本 → 10 本 → 100 本 → 102 本 → 104 本 → 106 本 → 108 本 → 110 本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。なお、表示画面 5 0 の明るさを調整する表示画素行数の変化は、2 本ごとにするとしたが、これに限定するものではない。4 本ごとにしてもよく、4 本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。

【0555】

明るさ調整は、画素行数の単位ではなく (画素行を 1 水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動)、1 水平走査期間あたりの点灯時間でも調整することができる。つまり、1 水平走査期間の一部の期間 (たとえば、1 H の $1 / 8$ の期

10

20

30

40

50

間、1Hの15/16の期間というように)点灯することのより表示画面の明るさを調整するのである。

【0556】

この調整(制御)は、表示パネルのメインクロック(MCLK)を用いて行う。QCIFパネルでは、MCLKは約2.5MHzである。つまり、1水平走査期間(1H)に176クロックをカウントすることができる。したがって、MCLKをカウンタし、このカウント値により、ゲート信号線17bにオン電圧(Vg1)を印加する期間を制御することにより各画素行のEL素子15をオンオフさせることができる。

【0557】

具体的には、図78、図80に図示するタイミングチャートにおいて、クロック(SCK)のLレベルにする位置、Lレベルの期間を制御することにより実現できる。SCKがLレベルにする期間を短くするほど、出力のQ端子がLレベル(Vg1)となる期間が短くなる。

【0558】

図84(a)の駆動方式では、図87に図示するように、1Hの期間において左右対称にVg1(オン電圧)となる期間が短くなる。図87では(a)が1H期間のすべてがVg1(オン電圧)を出力している期間である(ただし、図79のPチャンネルのゲートドライバ回路12構成では、1H期間のすべてにLレベル出力をすることは不可能である。1Hと次の1Hとの間にはVgh電圧(オフ電圧)の期間が発生する。図87は説明を容易にするためにあえて(a)のように図示している。

【0559】

同様に、図87(b)では、ゲート信号線17bにVg1を出力している期間が、MCLKが2クロック分だけ短く((a)に比較して)していることを図示している。さらに、図87(c)では、ゲート信号線17bにVg1を出力している期間が、MCLKが2クロック分だけ短く((b)に比較して)していることを図示している。以下、同様であるので説明を省略する。

【0560】

図84(b)の駆動方式では、図88に図示するように、2Hの期間において左右対称にVg1(オン電圧)となる期間が短くなる。図88では(a)が1H期間のすべてがVg1(オン電圧)を出力している期間である(ただし、図79のPチャンネルのゲートドライバ回路12構成では、2H期間のすべてにLレベル出力をすることは不可能である。2Hと次の2Hとの間にはVgh電圧(オフ電圧)の期間が発生する。このことは、図87と同様である。

【0561】

同様に、図88(b)では、ゲート信号線17bにVg1を出力している期間が、2H期間でMCLKが2クロック分だけ短く((a)に比較して)していることを図示している。さらに、図88(c)では、ゲート信号線17bにVg1を出力している期間が、MCLKが2クロック分だけ短く((b)に比較して)していることを図示している。以下、同様であるので説明を省略する。

【0562】

なお、ゲートドライバ回路12の構成を多少変更し、クロックを調整すれば、図89に図示するように、図87のゲート信号線17bの印加期間が2H期間連続して行うことができる。

【0563】

図13、図14などでは、動画ボケを解決する駆動方式について説明をした。画像を間欠表示することにより、画像の輪郭ぼけがなくなり良好な表示状態を実現できという方法である。つまり、CRTに近い表示状態を実現することにより、良好な動画表示を実現するものである。

【0564】

図84の駆動方式でも、良好な動画表示を実現できる。ただし、図13では表示領域53

10

20

30

40

50

が連続し、非表示領域 5 2 も連続しているのに対し、図 8 4 では、表示領域 5 3 が連続しない。4 画素行組で 1 画素行にオン電圧を印加（図 8 4 (a)）するか、4 画素行組で連続した 2 画素行にオン電圧を印加（図 8 4 (b)）するかの表示状態となるからである。もちろん、図 7 7、図 7 9 に例示した回路構成を変更あるいは改良することにより、クロック（SCK）に対する表示画素行を変更あるいは変化させることができる。たとえば、1 画素行飛ばしで表示させることもできる。また、6 画素行飛ばしで点灯させることもできる。ただし、P チャンネルのトランジスタで構成あるいは形成したドライバ回路（シフトレジスタ）では、少なくとも表示画素行 5 3 間に非点灯の表示画素行 5 2 が配置（挿入）される。

【0565】

図 9 0 に、ゲートドライバ回路 1 2 が図 7 9 のように P チャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入（黒あるいは低輝度の表示画面を表示する）する必要がある。CRT の表示のように駆動（表示）する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒（低輝度）表示にする。この画素行は、点滅（画像表示と非表示（黒表示あるいは低輝度表示）が交互に繰り返される）することになる。黒表示期間は 4 msec 以上にする必要がある。もしくは、1 フレーム（1 フィールド）の $1/4$ 以上の期間を黒表示（低輝度表示）にする。好ましくは、1 フレーム（1 フィールド）の $1/2$ の期間以上を黒表示（低輝度表示）にする。この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅する画像は、人間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくなる。

【0566】

図 9 0 (a) において、A の領域は、4 画素行に 1 画素行が表示（点灯状態）状態である。したがって、4 水平走査期間（4 H）に 1 回点灯する（4 H 期間に 1 H 期間の間点灯する）。この期間（画素行が点灯し、非点灯となり、次に点灯するまでの期間）は、4 msec 以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える（任意の画素行がたえず、点灯しているのと大差がない）。図 9 0 (a) の B の領域では、画素行が表示されてから、次に表示されるまで、4 msec 以上、好ましくは 8 msec 以上となるように黒挿入（低輝度表示）されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

【0567】

なお、以上の説明で A の領域あるいは B の領域として説明したが、以上の事項は説明を容易にするためである。図 9 0 において、A の領域は矢印方向（画面の上から下）に順次走査される。CRT で電子ビームの走査されるごとくである。つまり、画像は順次書き換えられる（図 9 0 (a) は図 9 1 を参照のこと。図 9 1 (a) → (b) → (c) → (a) のように走査（駆動）される。図 9 0 (b) は図 9 2 を参照のこと。図 9 2 (a) → (b) → (c) → (a) のように走査（駆動）される）。

【0568】

以上のように、本発明の駆動方式において、任意の画素行は、図 9 0 (a) において、1 フィールド（1 フレーム）の 4 msec（好ましくは 8 msec）以上の期間は、4 H に 1 H の期間表示され、その他の期間（1 フィールド（1 フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、A 領域あるいは B 領域と表現したが、時間的な観点から、A 期間あるいは B 期間と表現するほうが適切である。つまり、A 領域（A 期間）は、連続して画像が点灯する期間であり、B 領域（B 期間）は画素行（画面 5 0）が間欠表示される期間である。以上の事項は図 9 0 (b) あるいは他の本発明の実施例においても同様である

【0569】

図90(b)では、2画素行を連続して点灯状態にし、つづく、2画素行を非点灯状態にしている。つまり、A領域(A期間)では、2Hの期間点灯し、2Hの期間非点灯状態となることを繰り返す。B領域(B期間)は所定の期間、連続して非点灯状態が維持される。図90(b)の駆動方式においても、A領域は見かけ上、連続表示状態であり、B領域は見かけ上、間欠表示である。

【0570】

以上のように、本発明の駆動方式は、任意の画素行(画素)に着目して表示状態を観測したとき、4 msec未満の期間(もしくは1フレーム(1フィールド)の1/4未満の期間)で画像表示と非表示(黒表示または所定以下の低輝度表示)が少なくとも1回以上繰り返させる第1の期間と、前記画素行(画素)が表示状態から非表示(黒表示または所定以下の低輝度表示)状態になり、次に表示状態になる期間が、4 msec以上となる第2の期間(もしくは1フレーム(1フィールド)の1/4以上の期間)を実施するものである。以上の駆動を実施することにより、良好な動画表示を実現でき、また、その制御回路(ゲートドライバ回路12など)の構成も容易であり、低コスト化を実現できる。

【0571】

図90においても、点灯画素行数を変化させることにより、画面50の明るさを調整(変化)させることができる(図84と同様に、表示画素数53を変化あるいは調整すればよい)。また、黒挿入領域(図90のB領域)の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、B領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示画素行53を分散して表示(画面50内に配置)すべきである。たとえば、QCIFパネルの場合は、画素行数が220本である。このうち、静止画で55画素行を表示するのであれば、 $220/44=4$ であるから、4画素行ごとに1画素行を表示させればよい。220画素行のうち10画素行を表示するのであれば、 $220/10=22$ 画素行に1画素行を表示させればよい。なお、図90においてB領域(B期間)は1つとしているが、これに限定するものではなく、2つ以上(複数)に分割あるいは分散させてもよいことはいうまでもない。

【0572】

しかし、図90(a)では、4画素行組で1画素行を点灯させるか否かの表示しか実現できない。したがって、22画素行に1画素行を点灯させることはできない。そのため、4画素行組を5回=20画素行に1画素行を表示する(つまり、20画素行に1画素行を表示する。言い換えれば、4画素行組の4つは、まったく画素行を点灯状態とせず、1画素行組の1画素行を点灯状態とする)。残りの20画素行($220-4\times5=200$)はすべてを非点灯状態にする。つまり、本発明では、制約(規制あるいは規定)される画素行組を1単位として、この画素行組の組み合わせ(ブロック)内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図90(b)においても適用され、また、本発明の他の実施例においても適用される。

【0573】

逆に動画表示の場合は、図90で説明したように、少なくとも4 msec以上の黒挿入を実施する必要がある。また、黒挿入の割合(黒表示の連続時間、表示画面に対する黒表示面積)を変化させることにより、動画表示状態を変化することができる(最適状態に調整できる)。非常に高速な動画表示(画像の動きが激しい場合など)は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、1画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行53が増加することによる表示輝度の増大は、1画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流 I_w などで変更できるからであ

る。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。

【0574】

以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。

【0575】

入力映像信号の動画検出（ID検出）を行い、動画の場合あるいは動画が多い画像では、図90の駆動方式（黒挿入による間欠表示）を実施する。静止画の場合は、図84の駆動方式（点灯画素行位置が極力分散して配置する）を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図84の駆動方式を採用する。テレビのようにAV用途の場合は、図90の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路12bのSSTAデータのより、容易に変更することができる。図1などのEL素子15に流れる電流をオンオフさせるトランジスタ（トランジスタ11dなど）を制御するだけであるからである。図90と図84の切り替え（動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か）は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。

【0576】

図93は図90（a）の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号（Vghがオフ電圧、Vglがオン電圧）でトランジスタ11dをオンオフ制御し、EL素子15に流れる電流をオンオフさせる。図1において、上段は水平走査期間を示しており、L記号は、画素行数L（QCIFパネルの場合は、 $L=220$ 本）を示している。なお、図84、図90においても、本発明の駆動方式は、図1の画素構成に限定されるものではない。たとえば他の画素構成（図54、図111など）においても適用できることは言うまでもない。

【0577】

図93でわかるように、A期間（A領域）では、4H期間に1H期間の割合で各ゲート信号線17bにオン電圧（Vhl）が印加される。B期間（B領域）では、連続してオフ電圧（Vgh）が印加される。したがって、この期間にはEL素子15には電流が流れない。そして、各ゲート信号線17bのオン電圧位置が1画素行ずつ走査されている。

【0578】

なお、以上の実施例では、1画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、1画素行飛ばしで走査される。つまり、第1フレームでは偶数画素行が走査される。第2フレームでは奇数画素行が走査される。また、第1フレームを書き換えているときは、第2フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第2フレームを書き換えているときは、第1フレームで書き込まれた画像はそのまま保持される。もちろん、図90の実施例のように点滅動作を実施してもよい。

【0579】

インターレース走査は2フレームで1フィールドがCRTで通常である。しかし、本発明はこれに限定するものではない。たとえば、4フレーム＝1フィールドでもよい。この場合は、第1フレームでは、 $(4N+1)$ 画素行（ただし、Nは以上の整数）の画像が書き換えられる。第2フレームでは、 $(4N+2)$ 画素行の画像が書き換えられる。次の第3フレームでは $(4N+3)$ 画素行の画像が書き換えられる。また、最後の第4フレームでは、 $(4N+4)$ 画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても

適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、2フレーム＝1フィールドに限定されるものではない。つまり、複数フレーム＝1フィールドである。

【0580】

なお、図93、図94においても、図87、図88、図89などの1水平走査期間(1H)あるいは複数の水平走査期間内において、EL素子15に流れる電流を制御すること(オン期間を制御すること)により、表示画面50の明るさを調整する駆動方式を併用できることは言うまでもない。

【0581】

図94は図93と同様に、図90(b)におけるゲート信号線17bの印加波形である。図93との差異は、A期間(A領域、図84(b)を参照のこと)において、各ゲート信号線17bには、2水平走査期間(2H)の間、オン電圧(Vg1)が印加され、その後、2Hの期間、オフ電圧(Vgh)が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B期間(B領域)では連続してオフ電圧が印加される。各ゲート信号線17bのオン電圧の印加位置は、1Hごとに走査される。

【0582】

図93は図90(a)の駆動方式の場合の、ゲート信号線17bの出力波形である。図1の画素構成では、ゲート信号線17bに印加されるオンオフ信号(Vghがオフ電圧、Vg1がオン電圧)でトランジスタ11dをオンオフ制御し、EL素子15に流れる電流をオンオフさせる。図1において、上段は水平走査期間を示しており、L記号は、画素行数L(QCIFパネルの場合は、L=220本)を示している。なお、図84、図90においても、本発明の駆動方式は、図1の画素構成に限定されるものではない。たとえば他の画素構成(図54など)においても適用できることは言うまでもない。

【0583】

図93でわかるように、A期間(A領域)では、4H期間に1H期間の割合で各ゲート信号線17bにオン電圧(Vh1)が印加される。B期間(B領域)では、連続してオフ電圧(Vgh)が印加される。したがって、この期間にはEL素子15には電流が流れない。そして、各ゲート信号線17bのオン電圧位置が1画素行ずつ走査されている。

【0584】

なお、以上の実施例では、1画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、1画素行飛ばしで走査される。つまり、第1フレームでは偶数画素行が走査される。第2フレームでは奇数画素行が走査される。また、第1フレームを書き換えているときは、第2フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する(実施しなくともよい)。第2フレームを書き換えているときは、第1フレームで書き込まれた画像はそのまま保持される。もちろん、図90の実施例のように点滅動作を実施してもよい。

【0585】

インターレース走査は2フレームで1フィールドがCRTで通常である。しかし、本発明はこれに限定するものではない。たとえば、4フレーム＝1フィールドでもよい。この場合は、第1フレームでは、(4N+1)画素行(ただし、Nは以上の整数)の画像が書き換えられる。第2フレームでは、(4N+2)画素行の画像が書き換えられる。次の第3フレームでは(4N+3)画素行の画像が書き換えられる。また、最後の第4フレームでは、(4N+4)画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、2フレーム＝1フィールドに限定されるものではない。つまり、複数フレーム＝1フィールドである。

【0586】

なお、図93、図94においても、図87、図88、図89などの1水平走査期間(1H)あるいは複数の水平走査期間内において、EL素子15に流れる電流を制御すること(

10

20

30

40

50

オン期間を制御すること)により、表示画面50の明るさを調整する駆動方式を併用できることは言うまでもない。

【0587】

図94は図93と同様に、図90(b)におけるゲート信号線17bの印加波形である。図93との差異は、A期間(A領域、図84(b)を参照のこと)において、各ゲート信号線17bには、2水平走査期間(2H)の間、オン電圧(V_{g1})が印加され、その後、2Hの期間、オフ電圧(V_{gh})が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。B期間(B領域)では連続してオフ電圧が印加される。各ゲート信号線17bのオン電圧の印加位置は、1Hごとに走査される。他の事項は、図93と同様あるいは類似であるので説明を省略する。

10

【0588】

なお、以上の実施例では、表示画面50内で、A領域とB領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、A領域をB領域がある(もちろん、A領域がどこにあるかは、異なる)。このことは、1フィールド(1フレーム、つまり画面の書き換え周期)内に、A期間とB期間があるということである。しかし、動画表示を良好にするためには、黒挿入(黒表示あるいは低輝度表示)を行えばよいのであるから、図90の駆動方式に限定されるものではない。

【0589】

たとえば、図95の駆動方式が例示される。理解を容易にするために、図95では、4つの表示期間(a)、(b)、(c)、(d)で構成されているとする。また、4フ

20

レー=1フィールドとし、図95(a)を第1フレーム、図95(b)を第2フレーム、図95(c)を第3フレーム、図95(d)を第4フレームとする。表示は図95(a)→(b)→(c)→(d)→(a)→(b)→・・・と繰り返される。

【0590】

第1フレームでは、図95(a)に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第1フレームの書き換えが終わると、図95(b)に図示するように、画面50の上から順次黒表示としていく(図95(b)は黒表示書き込みが終了した状態である)。次の第3フレームでは、図95(c)に図示するように、奇数番目の画素行を、画面50の上から順次、画像を書き込んでいく。つまり、奇数番目の画像が、画面の上部から順次表示される。次の第4フレームでは、画面50の上部から、画像が非点灯状態(黒表示)にされていく(図95(d)も完全に非点灯状態にした時の状態を示す)。

30

【0591】

なお、図95において、(a)(c)では、画像を書き込むと表現し、かつ画像を表示すると表現したが、本発明は基本的に、画像を表示する(点灯させる)状態に特徴がある。したがって、画像を書き込むこと(プログラムを実施すること)と画像を表示することとは同一である必要はない。つまり、図95(a)(c)では、ゲート信号線17bの制御により、EL素子15に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図95(a)の状態と図95(b)の状態との切り替えは、一括で(たとえば、1H期間で)行うことができる。たとえば、イネーブル端子を制御することで実施できる(ゲートドライバ12bのシフトレジスタにオンオフ状態(図95(a)では、偶数画素行に対応するシフトレジスタがオンデータ)を保持しておき、イネーブル端子がオフの時は、図95(b)(d)の状態を表示し、イネーブル端子をオンにすることにより、図95(a)の表示状態になるなど)。したがって、ゲート信号線17bのオンオフ状態で図95(a)(c)の表示を実施できる(あらかじめ、画像データは図1の画素構成で例示すれば、コンデンサ19に保持させておく)。以上の説明では、図95の(a)(b)(c)(d)の状態は、各11フレーム期間の間実施するとした。

40

【0592】

しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図95(b)(d)などの黒挿入状態を4msecの期間、実施すればよいからである。したがって、本発明の実施例において、ゲートドライバ

50

回路 1 2 b のシフトレジスタ回路を用いて、ゲート信号線 1 7 b を走査し、図 9 5 (a) (c) の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線 1 7 b (奇数ゲート信号線組と呼ぶ) を一括接続しておき、また、偶数番目のゲート信号線 1 7 b (偶数ゲート信号線組と呼ぶ) を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図 9 5 (c) の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図 9 5 (a) の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図 9 5 (b) (d) の表示状態が実現される。図 9 5 (a) (b) (c) (d) の各状態は、4 m s e c (特に図 9 5 (b) (d) は) 以上の期間、実施すればよい。

10

【0593】

以上の図 9 5 の駆動方式では、画面表示状態 (図 9 5 (a) (c)) と黒表示状態 (黒挿入、図 9 5 (b) (d)) が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する (動画ボケが発生しない)。

【0594】

図 9 5 の実施例では、第 1 フレームと第 3 フレームでは、奇数画素行または偶数画素行に画像を表示し、この 2 つの画面間に黒画面 (図 9 5 (b) (d)) を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図 8 4 の表示状態を第 1 フレームおよび第 3 フレームに実施し、この 2 つのフレーム間に黒表示を挿入してもよい。以上の実施例におけるタイミングチャートを図 9 6 に示す。図 9 6 (a) は第 1 フレームであり、図 9 6 (b) は黒挿入状態の第 2 フレームである。図 9 6 (c) は第 3 フレームである。なお、第 4 フレームは図 9 6 (b) と同様であるので省略している。ただし、第 4 フレームは必ずしも必要ではない。3 フレーム = 1 フィールド構成でもよい。第 2 フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図 9 6 (a) → (b) → (c) → (a) → . . . と繰り返す。

20

【0595】

図 9 6 (a) は、図 8 4 (a) に 4 水平走査期間 (4 H) に 1 H の期間、画像を表示する (各ゲート信号線 1 7 b は 4 H ごとに 1 H の期間、V g l 電圧 (オン電圧) が印加される。次の第 2 フレームでは、すべてのゲート信号線 1 7 b はオフ電圧 (V g h) が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することのより、一括で行うことができる。したがって、図 9 6 (b) の状態は、1 フレーム期間実施することの限定されるものではない。動画表示を良好なものとするには、4 m s e c 以上の期間、維持されればよいからである。ただし、図 9 6 (a) が画面の上 (上からに限定するものではないが) から順次画像を書き換えるとすると、画像が飛んでしまう。図 9 5 説明したように、複数のゲート信号線 1 7 b を一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。

30

【0596】

図 9 6 は、各画素行は、4 H 期間に 1 H 期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間 (たとえば、1 フレーム、1 フィールドなど) で、点灯 (表示) 期間が一致していればよい。つまり、規則正しく、点灯状態と非点灯状態とを実施する必要はない。

40

【0597】

図 9 7 は、規則正しくない点灯状態の場合の実施例である。ゲート信号線 1 7 b (1) は第 1 H、第 5 H、第 6 H、第 9 H、第 1 3 H、第 1 4 H、. . . にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく (長期間でみれば、周期てきであるが)、ランダム的である。この 1 フレーム期間 (単位期間) に各ゲート信号線 1 7 b にオン電圧が印加される期間を加算したものが、他のゲート信号線 1 7 b と略一致させておけばよい。このように各画素行の点灯時間 (ゲート信号線 1 7 b にオン電圧を印加することのより、画素行が点灯 (表

50

示) するとしている) が略一致する。なお、図 9 7 では、各ゲート信号線 1 7 b に印加する信号波形は、1 H ずつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線 1 7 b で 1 H (所定クロックあるいは単位) ずらして走査する (印加することにより、表示画面の輝度を全画面で均一化できる。なお、図 9 7 においてもオン電圧 (V_{gl}) の印加期間を調整することにより、画面の明るさを制御 (調整) することができるというまでもない。

【0598】

以上の実施例では、各フレーム (単位期間) において、ゲート信号線 1 7 b には、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行 (画素) が点灯 (表示) もしくは非点灯 (非表示) となる期間が略等しくするものである。したがって、2 フレーム = 1 フィールドの駆動方式において、第 1 フレームと第 2 フレームとに印加する各ゲート信号線 1 7 b の信号波形が異なってもよい。たとえば、任意の画素行が第 1 フレームで 10 H の期間の間、オン電圧が印加され、第 2 フレームで 20 H の期間の間、オン電圧が印加されるように駆動してもよい (2 フレームという単位期間で、10 H + 20 H の期間の間、オン電圧が印加される)。他の画素行も、30 H の期間、オン電圧が印加されるようにする。

【0599】

この実施例を図 9 8 に図示する。図 9 8 (a) (第 1 フレームとする) では、各画素行に対応するゲート信号線 1 7 b には、4 水平走査期間 (4 H) 周期で 1 水平走査期間 (1 H) オン電圧が印加される。図 9 8 (b) (第 2 フレームとする) では、各画素行に対応するゲート信号線 1 7 には、4 H 周期で 2 H の期間オン電圧が印加されている。つまり、2 フレームでは、(4 + 4) H 周期で (1 + 2) H の期間オン電圧が印加されることになる。このように駆動しても、単位期間 (図 9 8 では 2 フレーム) では、各ゲート信号線 1 7 b にはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される (白ラスタ表示と仮定した場合)。

【0600】

なお、図 9 6 では、4 H 周期で 1 H の期間オン電圧を印加するとしたが、これに限定するのではない。たとえば、図 9 9 に図示するように、8 H 周期で 1 H の期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線 1 7 b に印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期 (単位期間) でオン電圧を印加する総和期間が、すべてのゲート信号線 1 7 b で一致していればよいからである。

【0601】

しかし、以上の実施例では、すべてのゲート信号線 1 7 b で単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。1 画面 5 0 内 (つまり、1 つの表示パネル) で、複数の輝度が異なる画面 5 0 を有する場合である。画面 5 0 が、第 1 の画面 5 0 a と第 2 の画面 5 0 b が構成されており、画面 5 0 a と 5 0 b との輝度が異なる場合である。2 つの画面 5 0 の輝度を異ならせるのは、プログラム電流 I_w を調整することのよっても変化することができるが、ゲート信号線 1 7 b を走査し、第 1 の画面 5 0 a における各画素行の点灯 (表示) 期間と第 2 の画面 5 0 b における各画素行の点灯 (表示) 期間とを異ならせる方式が実現容易である。たとえば、第 1 の画面 5 0 a の各画素行は、4 H に 1 H の期間、ゲート信号線 1 7 b にオン電圧を印加する。第 2 の画面 5 0 b の各画素行は、8 H に 1 H の期間、ゲート信号線 1 7 b にオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。

【0602】

以上の実施例は、ゲート信号線 1 7 b を制御することにより、EL 素子 1 5 に流れる電流を調整 (オンオフさせ) し、表示画面 5 0 の輝度を調整する、あるいは、動画表示を良好にするというものであった。図 1 0 0 は、以上の効果などを有する本発明の他の実施例である。

10

20

30

40

50

【0603】

図100の画素16は、図101のように配置または構成されている。図1の画素構成と異なる点は、蓄積容量19（コンデンサ19）の一方の端子が容量制御線1001に接続されている点である。1本の容量制御線1001は、1画素行に共通である。容量制御線1001は容量制御共通線1003に接続されている。

【0604】

図101において、コンデンサ19は一方の端子は容量制御線1001に接続され、他方の端子は、トランジスタ11aのゲート端子に接続されている。今、トランジスタ11aのゲート端子（G）に V_a 電圧が印加されているとする。また、トランジスタ11aのソース端子（S）に、 V_{dd} 電圧が印加されているとする。また、 $V_a < V_{dd}$ とする。容量制御線1001には V_c 電圧が印加されているとする。

10

【0605】

以上の状態で、容量制御線1001の V_c 電圧を+側に変化させると、この変化に伴い、 V_a 電圧も+側にシフトする。トランジスタ11aはPチャンネルトランジスタであるので、トランジスタ11aのゲート端子が、+側（ V_{dd} 側）にシフトすると、トランジスタ11aは電流を流さない方向になる。したがって、 V_c 電圧の+側への変化が一定以上に大きいと、トランジスタ11aは完全に電流を流さない状態（カットオフ状態）となる。つまり、容量制御線1001への印加電位を制御することにより、該当画素行を黒表示状態にすることができる。なお、逆に、容量制御線1001の V_c 電圧を-側に変化させると、トランジスタ11aのゲート端子（G）の電位も-側にシフトする。そのため、トランジスタ11aはより電流を流すようになる。以上の事項は、駆動用トランジスタ11aがPチャンネルトランジスタで構成されている場合である。駆動用トランジスタ11aがNチャンネルの場合は、逆になる。つまり、容量制御線1001の電位を+側にシフトすると、Nチャンネルの駆動用トランジスタ11aはより電流をEL素子15に流すようになる。

20

【0606】

以上の駆動方式を図101に適用することにより、表示画面50を黒表示にすることができる。つまり、図90などで説明した黒挿入を実現できる。

【0607】

図100では、容量制御共通線1003（1003a、1003b、1003c、1003d）が形成あるいは配置されている。（ $4N+1$ ）画素行（ただし、 N は0以上の整数）の容量制御線1001は容量制御共通線1003aに接続されている。また、（ $4N+2$ ）画素行の容量制御線1001は容量制御共通線1003bに接続されている。（ $4N+3$ ）画素行は容量制御共通線1003cに接続され、（ $4N+4$ ）画素行の容量制御線1001は容量制御共通線1003dに接続されている。

30

【0608】

以上の構成で、容量制御共通線1003aの印加電圧を、+側にシフトすれば、（ $4N+1$ ）画素行が非表示（黒表示または低輝度表示）となる。同様に、容量制御共通線1003bの印加電圧を、+側にシフトすれば、（ $4N+2$ ）画素行が非表示（黒表示または低輝度表示）となる。また、容量制御共通線1003cの印加電圧を、+側にシフトすれば、（ $4N+3$ ）画素行が非表示となり、容量制御共通線1003dの印加電圧を、+側にシフトすれば、（ $4N+4$ ）画素行が非表示となる。

40

【0609】

以上のように容量制御共通線1003を制御することにより、所定の画素行を黒表示にすることができる。したがって、容量制御共通線1003の制御タイミング、制御周期を調整することにより、画面輝度の調整を実施することができる。また、容量制御線1001と容量制御共通線1003との接続状態、接続本数、容量制御共通線1003の形成本数を所定状態とすることにより、図90のように、集中した黒挿入部分を設けることができる。したがって、動画表示を良好にすることもできる。

【0610】

50

図101(a)では、奇数番目の画素行は容量制御共通線1003aに接続され、偶数番目の画素行は容量制御共通線1003bに接続されている。したがって、容量制御共通線1003aと1003bとに交互に+側に電圧を印加することにより、表示画面50を櫛状に、非表示画素行とすることができる。図101(b)では、3画素行ごとに異なる容量制御共通線1003に接続されている。したがって、3画素行周期で、点灯あるいは非点灯制御を行うことができる。

【0611】

容量制御線1001に印加し、+側に変化させる電圧が比較小さい場合は、再び、容量制御線1001に印加する電圧を、-側にシフトすることにより、トランジスタ11aが流す電流は元の電流に戻すことができる(ただし、補償電圧の加算は必要である。)。しかし、+側にシフトする電圧が所定値以上大きいと、トランジスタ11aが流す電流は元に戻すことができない(必要とする補償電圧が大きくなり、元の電流値にすることが困難になる)。

【0612】

図101の構成で黒挿入を実施するには、基本的には、コンデンサ19に保持された画像データの復帰は望まない方がよい(完全にもとの保持電圧に復帰させることが困難だからである)。言い返せば、画像を黒表示にすることはできる。

【0613】

たとえば、図102に図示するように、画像書き込み前に、R位置で容量制御線1001に+電圧を印加し黒表示52にする。つまり、容量制御線1001に+電圧を印加し、画面50を黒表示52にする。次に所定期間の経過後に、画像を書き込む(画像書き込み位置は画素書き込み行51)。図102では、画素行がK(図102(a)の場合はK1、図102(b)の場合はK2)離れた位置で書き込みを行っている。K1は画素行数を示している。つまり、R位置の黒書き込みを行ってから、画像を書き込むまでの時間は、画素行数×1水平走査期間となる。したがって、Kが大きいほど、黒書き込み期間は増加($K1 < K2$)し、画像表示は暗くなる。Kの値が大きくなるほど画面が暗くなり、Kの値が小さいほど画面は明るくなる。このKの値の調整により画像の輝度を調整することができる。また、Kの値が大きいほど、動画ボケの改善効果が高くなる。

【0614】

以上の実施例では、1つのソースドライバ回路(IC)14と1つのゲートドライバ回路(IC)12で、1つの画面50に画像を表示するものであった。しかし、本発明はこれに限定するものではない。たとえば、図103の実施例では、画面50は画面50aと画面50bで構成されている。画面50aのソース信号線18aにはソースドライバ回路14aが接続されている。画面50bのソース信号線18bにはソースドライバ回路14bが接続されている。画面50a、画面50bとのゲート信号線(17a、17b)は1つの内蔵ゲートドライバ回路12に接続されている。

【0615】

つまり、図103の実施例では、ゲートドライバ回路(IC)12は、画面50a、50bに共通であり、画面50を2つに分割して2つのソースドライバ回路(14a、14b)で駆動されている。画像の書き込みは、画面50の上から下方向(A方向)に限定するものではない。図103に図示するように、画面50の下から上方向(B方向)に走査してもよい。また、画面50aをA方向に走査し、画面50bをB方向に走査してもよい。図103では画面50の分割は2分割であるが、3分割以上としてもよいことは言うまでもない。また、ソースドライバ回路14aが、1つの表示画面50における偶数番目のソース信号線18を駆動し、ソースドライバ回路14bが前記表示画面50における奇数番目のソース信号線18を駆動するように配置または構成してもよい。ゲートドライバ回路12についても同様である。ゲートドライバ回路12を複数個用いて、それぞれの画面(50a、50b)を駆動してもよい。また、ゲートドライバ回路12aが1つの表示画面50における偶数番目のゲート信号線18を駆動し、ゲートドライバ回路12bが前記表示画面50における奇数番目のゲート信号線18を駆動するように配置または構成しても

10

20

30

40

50

よい。なお、ソース信号線 14 およびゲート信号線 12 には、静電気保護のために保護ダイオードを形成することが好ましい。以上の事項は、本発明の他の実施例についても適用できることは言うまでもない。

【0616】

以上の実施例は、図 1 の画素構成の類似であったが、本発明はこれに限定するものではない。たとえば、図 104 のように、カレントミラーの画素構成でもよい。ゲートドライバ回路 12 は容量制御線 1001 を用いてコンデンサ 19 の印加電圧を制御する。他の事項は図 101 と同様であるので説明を省略する。

【0617】

また、画素が図 62 に図示するように、2つのトランジスタなどで構成された電圧駆動の画素構成などにも、図 101 で説明した画素構成および駆動方式を適用（採用）することができる。もちろん、次段の画素 16 が黒表示にするだけでなく、白表示としてもよい。いわゆるリセット状態を実現できるからである。以上の事項は、図 48、図 53、図 55 などにも適用される。

【0618】

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図 57 は情報端末装置の一例としての携帯電話の平面図である。筐体 573 にアンテナ 571、テンキー 572 などが取り付けられている。572 などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【0619】

キー 572 を 1 度押さえると表示色は 8 色モードに、つづいて同一キー 572 を押さえると表示色は 256 色モード、さらにキー 572 を押さえると表示色は 4096 色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー 572 は 3 つ（以上）となる。

【0620】

キー 572 はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096 色を受話器に音声入力すること、たとえば、「高品位表示」、「256 色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面 50 に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0621】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部 21 に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【0622】

572 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【0623】

なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装

10

20

30

40

50

置（液晶表示パネル）に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、トランジスタパネル、PLZTパネルや、CRTにも適用することができる。

【0624】

図57で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー572入力で切り替えることができる。

【0625】

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

【0626】

今、ソースドライバIC14には4096色（RGB各4ビット）で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

【0627】

画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット（4096色）の画像データを出力し、表示画面50に画像を表示する。

【0628】

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0629】

図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0630】

ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）574から出射した迷光がボデー573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板109などが配置されている。このことは図10、図11でも説明している。

【0631】

接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581をボデー573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

【0632】

また、必要に応じて表示パネル574の光出射側に正レンズ583を配置すれば、拡大レンズ582に入射する主光線を収束させることができる。そのため、拡大レンズ582のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0633】

図59はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部592とビデオカメラ本体573と具備し、撮影レンズ部592とビューファインダ部573とは背中合わせとなっている。また、ビューファインダ（図58も参照）573には接眼カバー

10

20

30

40

50

が取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 574 の画像 50 を観察する。

【0634】

一方、本発明の EL 表示パネルは表示モニターとしても使用されている。表示部 50 は支点 591 で角度を自由に調整できる。表示部 50 を使用しない時は、格納部 593 に格納される。

【0635】

スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。スイッチ 594 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 594 について説明をする。

10

【0636】

本発明の駆動方法の 1 つに N 倍の電流を EL 素子 15 に流し、1 F の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL 素子 15 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

【0637】

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるような構成しておく。

20

【0638】

したがって、ユーザーがボタン 594 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことが好ましい。

30

【0639】

なお、表示画面 50 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 70% の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50% 輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明した N 倍パルス駆動（N 倍の電流を EL 素子 15 に流し、1 F の $1/M$ の期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【0640】

40

具体的には、画面の上部と下部では M の値と大きくし、中央部で M の値を小さくする。これは、ゲートドライバ 12 のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角 0.9）を 50% にした時、100% 輝度の場合に比較して約 20% の低消費電力化が可能である。周辺輝度（画角 0.9）を 70% にした時、100% 輝度の場合に比較して約 15% の低消費電力化が可能である。

【0641】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからで

50

ある。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

【0642】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【0643】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

【0644】

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【0645】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【0646】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図60に示すような電子カメラにも適用することができる。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

【0647】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつりさげられるように固定部材614で取り付けられている。この固定部材614を用いて、壁などに取り付ける。

【0648】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

【0649】

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0650】

図61のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【0651】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置され

10

20

30

40

50

るように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【0652】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0653】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【0654】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0655】

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることは言うまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【0656】

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【0657】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【0658】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【0659】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが

10

20

30

40

50

好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【0660】

また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【0661】

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【0662】

以上のように本発明は、主として、EL表示パネルあるいは、電流出力型の半導体回路において、所定の電流値に変化するまでに時間がかかる低階調領域において、低階調表示時の電流に対するソース電圧を出力できるように構成する。この構成により、低階調表示時には黒電圧印加後所定電流を流すことで、短期間に電流を所定値に変化させ、高階調表示時には電流のみですばやく所定値に変化できる。

【0663】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【0664】

【発明の効果】

以上述べたことから明らかなように本発明によれば、従来に比べて良好な表示が実現出来るEL表示パネル、EL表示パネルの駆動方法、EL表示装置の駆動回路およびEL表示装置を提供することが出来る。

【図面の簡単な説明】

【図1】本発明の表示パネルの画素構成図である。

【図2】本発明の表示パネルの画素構成図である。

【図3】本発明の表示パネルの動作の説明図である。

【図4】本発明の表示パネルの動作の説明図である。

【図5】本発明の表示装置の駆動方法の説明図である。

【図6】本発明の表示装置の構成図である。

【図7】本発明の表示パネルの製造方法の説明図である。

【図8】本発明の表示装置の構成図である。

【図9】本発明の表示装置の構成図である。

【図10】本発明の表示パネルの断面図である。

【図11】本発明の表示パネルの断面図である。

【図12】本発明の表示パネルの説明図である。

【図13】本発明の表示装置の駆動方法の説明図である。

【図14】本発明の表示装置の駆動方法の説明図である。

【図15】本発明の表示装置の駆動方法の説明図である。

【図16】本発明の表示装置の駆動方法の説明図である。

【図17】本発明の表示装置の駆動方法の説明図である。

- 【図 18】 本発明の表示装置の駆動方法の説明図である。
【図 19】 本発明の表示装置の駆動方法の説明図である。
【図 20】 本発明の表示装置の駆動方法の説明図である。
【図 21】 本発明の表示装置の駆動方法の説明図である。
【図 22】 本発明の表示装置の駆動方法の説明図である。
【図 23】 本発明の表示装置の駆動方法の説明図である。
【図 24】 本発明の表示装置の駆動方法の説明図である。
【図 25】 本発明の表示装置の駆動方法の説明図である。
【図 26】 本発明の表示装置の駆動方法の説明図である。
【図 27】 本発明の表示装置の駆動方法の説明図である。
【図 28】 本発明の表示装置の駆動方法の説明図である。
【図 29】 本発明の表示装置の駆動方法の説明図である。
【図 30】 本発明の表示装置の駆動方法の説明図である。
【図 31】 本発明の表示装置の駆動方法の説明図である。
【図 32】 本発明の表示装置の駆動方法の説明図である。
【図 33】 本発明の表示装置の駆動方法の説明図である。
【図 34】 本発明の表示装置の構成図である。
【図 35】 本発明の表示装置の駆動方法の説明図である。
【図 36】 本発明の表示装置の駆動方法の説明図である。
【図 37】 本発明の表示装置の構成図である。
【図 38】 本発明の表示装置の構成図である。
【図 39】 本発明の表示装置の駆動方法の説明図である。
【図 40】 本発明の表示装置の構成図である。
【図 41】 本発明の表示装置の構成図である。
【図 42】 本発明の表示パネルの画素構成図である。
【図 43】 本発明の表示パネルの画素構成図である。
【図 44】 本発明の表示装置の駆動方法の説明図である。
【図 45】 本発明の表示装置の駆動方法の説明図である。
【図 46】 本発明の表示装置の駆動方法の説明図である。
【図 47】 本発明の表示パネルの画素構成図である。
【図 48】 本発明の表示装置の構成図である。
【図 49】 本発明の表示装置の駆動方法の説明図である。
【図 50】 本発明の表示パネルの画素構成図である。
【図 51】 本発明の表示パネルの画素図である。
【図 52】 本発明の表示装置の駆動方法の説明図である。
【図 53】 本発明の表示装置の駆動方法の説明図である。
【図 54】 本発明の表示パネルの画素構成図である。
【図 55】 本発明の表示装置の駆動方法の説明図である。
【図 56】 本発明の表示装置の駆動方法の説明図である。
【図 57】 本発明の携帯電話の説明図である。
【図 58】 本発明のビューファインダの説明図である。
【図 59】 本発明のビデオカメラの説明図である。
【図 60】 本発明のデジタルカメラの説明図である。
【図 61】 本発明のテレビ（モニター）の説明図である。
【図 62】 従来の表示パネルの画素構成図である。
【図 63】 本発明の駆動回路のブロック図である。
【図 64】 本発明の駆動回路の説明図である。
【図 65】 本発明の駆動回路の説明図である。
【図 66】 本発明の駆動回路の説明図である。
【図 67】 本発明の駆動回路の説明図である。

10

20

30

40

50

- 【図 6 8】本発明の駆動回路の説明図である。
【図 6 9】本発明の駆動回路の説明図である。
【図 7 0】本発明の駆動回路の説明図である。
【図 7 1】本発明の駆動回路のブロック図である。
【図 7 2】本発明の駆動回路の説明図である。
【図 7 3】本発明の駆動方法の説明図である。
【図 7 4】本発明の駆動回路の説明図である。
【図 7 5】本発明の駆動回路の説明図である。
【図 7 6】本発明の駆動回路の説明図である。
【図 7 7】本発明のゲートドライバ回路のブロック図である。 10
【図 7 8】図 7 7 のゲートドライバ回路のタイミングチャート図である。
【図 7 9】本発明のゲートドライバ回路の 1 部のブロック図である。
【図 8 0】図 7 9 のゲートドライバ回路のタイミングチャート図である。
【図 8 1】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 2】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 3】本発明の E L 表示装置の説明図である。
【図 8 4】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 5】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 6】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 7】本発明の E L 表示装置の駆動方法の説明図である。 20
【図 8 8】本発明の E L 表示装置の駆動方法の説明図である。
【図 8 9】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 0】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 1】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 2】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 3】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 4】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 5】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 6】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 7】本発明の E L 表示装置の駆動方法の説明図である。 30
【図 9 8】本発明の E L 表示装置の駆動方法の説明図である。
【図 9 9】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 0】本発明の E L 表示装置の他の例を示す構成図である。
【図 1 0 1】本発明の E L 表示装置の説明図である。
【図 1 0 2】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 3】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 4】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 5】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 6】本発明の E L 表示装置の駆動方法の説明図である。
【図 1 0 7】本発明の E L 表示装置の駆動方法の説明図である。 40
【図 1 0 8】本発明の E L 表示パネルの構成図である。
【図 1 0 9】本発明の E L 表示パネルの構成図である。
【図 1 1 0】本発明の E L 表示パネルの構成図である。
【図 1 1 1】本発明の E L 表示パネルの構成図である。
【図 1 1 2】本発明の E L 表示パネルの構成図である。
【図 1 1 3】本発明の E L 表示装置の駆動回路の説明図である。

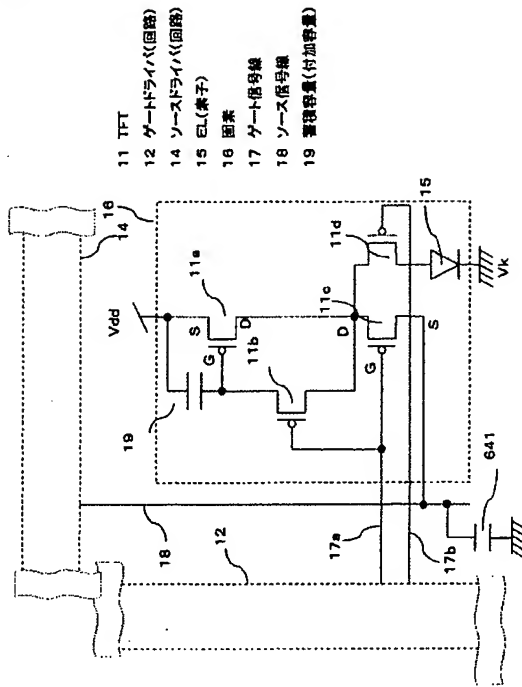
【符号の説明】

- 1 1 トランジスタ（薄膜トランジスタ）
1 2 ゲートドライバ I C（回路）
1 4 ソースドライバ I C（回路）

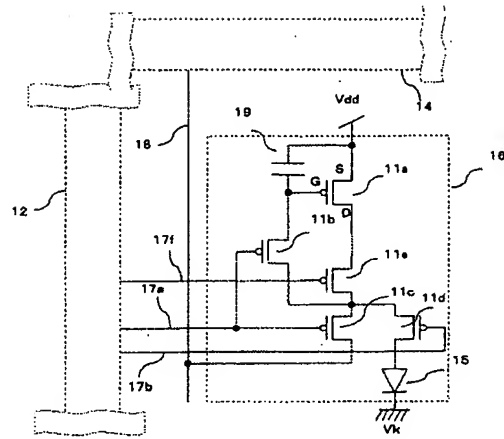
| | | |
|-------|---------------------------|----|
| 1 5 | EL (素子) (発光素子) | |
| 1 6 | 画素 | |
| 1 7 | ゲート信号線 | |
| 1 8 | ソース信号線 | |
| 1 9 | 蓄積容量 (付加コンデンサ、付加容量) | |
| 5 0 | 表示画面 | |
| 5 1 | 書き込み画素 (行) | |
| 5 2 | 非表示画素 (非表示領域、非点灯領域) | |
| 5 3 | 表示画素 (表示領域、点灯領域) | |
| 6 1 | シフトレジスタ | 10 |
| 6 2 | インバータ | |
| 6 3 | 出力バッファ | |
| 7 1 | アレイ基板 (表示パネル) | |
| 7 2 | レーザー照射範囲 (レーザースポット) | |
| 7 3 | 位置決めマーカー | |
| 7 4 | ガラス基板 (アレイ基板) | |
| 8 1 | コントロール IC (回路) | |
| 8 2 | 電源 IC (回路) | |
| 8 3 | プリント基板 | |
| 8 4 | フレキシブル基板 | 20 |
| 8 5 | 封止フタ | |
| 8 6 | カソード配線 | |
| 8 7 | アノード配線 (V d d) | |
| 8 8 | データ信号線 | |
| 8 9 | ゲート制御信号線 | |
| 1 0 1 | 土手 (リブ) | |
| 1 0 2 | 層間絶縁膜 | |
| 1 0 4 | コンタクト接続部 | |
| 1 0 5 | 画素電極 | |
| 1 0 6 | カソード電極 | 30 |
| 1 0 7 | 乾燥剤 | |
| 1 0 8 | $\lambda/4$ 板 | |
| 1 0 9 | 偏光板 | |
| 1 1 1 | 薄膜封止膜 | |
| 2 8 1 | ダミー画素 (行) | |
| 3 4 1 | 出力段回路 | |
| 3 7 1 | OR 回路 | |
| 4 0 1 | 点灯制御線 | |
| 4 7 1 | 逆バイアス線 | |
| 4 7 2 | ゲート電位制御線 | 40 |
| 5 6 1 | 電子ポリウム回路 | |
| 5 6 2 | トランジスタの SD (ソースドレイン) ショート | |
| 5 7 1 | アンテナ | |
| 5 7 2 | キー | |
| 5 7 3 | 筐体 | |
| 5 7 4 | 表示パネル | |
| 5 8 1 | 接眼リング | |
| 5 8 2 | 拡大レンズ | |
| 5 8 3 | 凸レンズ | |
| 5 9 1 | 支点 (回転部) | 50 |

| | | |
|---------|--------------------------------|----|
| 5 9 2 | 撮影レンズ | |
| 5 9 3 | 格納部 | |
| 5 9 4 | スイッチ | |
| 6 0 1 | 本体 | |
| 6 0 2 | 撮影部 | |
| 6 0 3 | シャッタスイッチ | |
| 6 1 1 | 取り付け枠 | |
| 6 1 2 | 脚 | |
| 6 1 3 | 取り付け台 | |
| 6 1 4 | 固定部 | 10 |
| 6 3 1 | 電圧発生部 | |
| 6 3 2 | 電圧出力制御部 | |
| 6 3 3 | 階調データ信号配線 | |
| 6 3 4 | 電流発生部 | |
| 6 3 5 | 電流出力制御部 | |
| 6 3 6 | スイッチ | |
| 6 3 7 | スイッチ | |
| 6 3 8 | 内部配線 | |
| 6 4 1 | 寄生容量 | |
| 6 5 1 | スイッチ回路 | 20 |
| 6 5 2 | インバータ | |
| 6 5 3 | アナログスイッチ | |
| 6 5 4 | 単位電流源 (トランジスタ) | |
| 6 5 5 | トランジスタ | |
| 6 5 6 | 可変抵抗 | |
| 6 6 1 | 可変電圧源 | |
| 6 7 1 | 可変電圧源 | |
| 6 7 2 | トランジスタ | |
| 6 7 3 | 外付け抵抗 | |
| 6 7 4 | オペアンプ | 30 |
| 6 8 1 | D A 変換器 (デジタルアナログ変換器) | |
| 6 8 2 | 演算増幅器 | |
| 6 8 3 | トランジスタ | |
| 6 9 1 | トランジスタ | |
| 6 9 2 | 可変抵抗 | |
| 6 9 3 | トランジスタ | |
| 6 9 4 | トランジスタ | |
| 6 9 5 | トランジスタ | |
| 6 9 6 | トランジスタ | |
| 7 1 1 | プリチャージ電圧配線 | 40 |
| 7 4 1 | イネーブル配線 | |
| 7 7 1 | 単位ゲート出力回路 | |
| 1 0 0 1 | 容量制御線 | |
| 1 0 0 3 | 容量制御共通線 | |
| 1 0 8 1 | 切り替えスイッチ回路 (切り替え手段、E L 点灯制御回路) | |

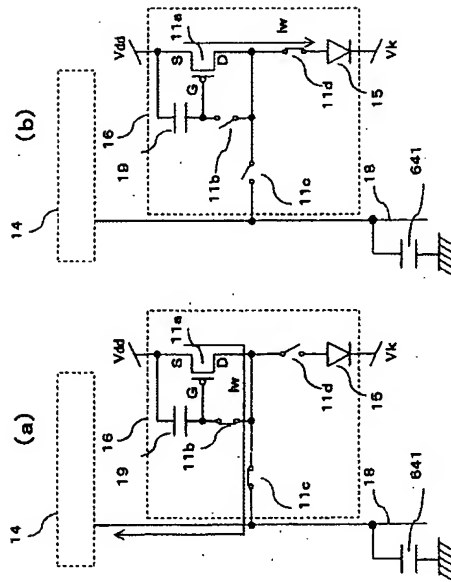
【図 1】



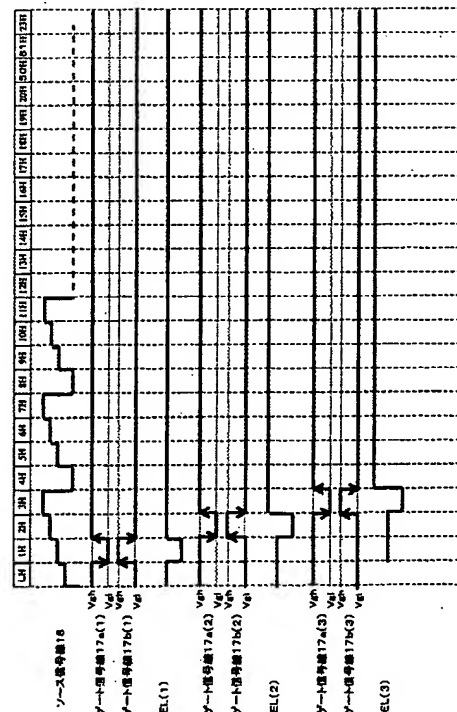
【図 2】



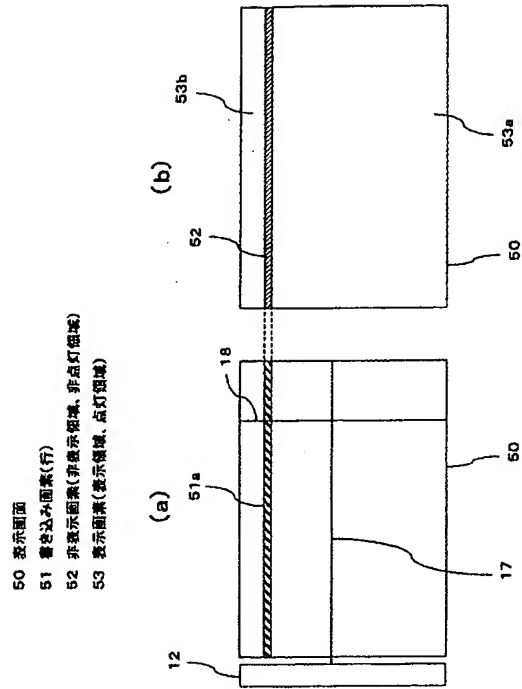
【図 3】



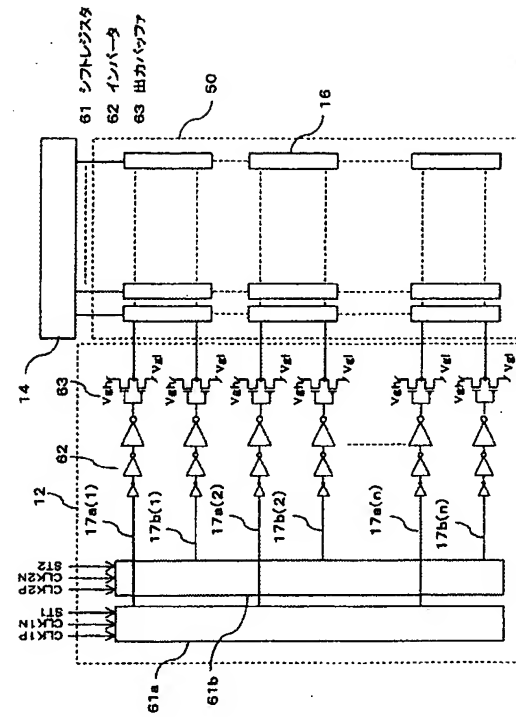
【図 4】



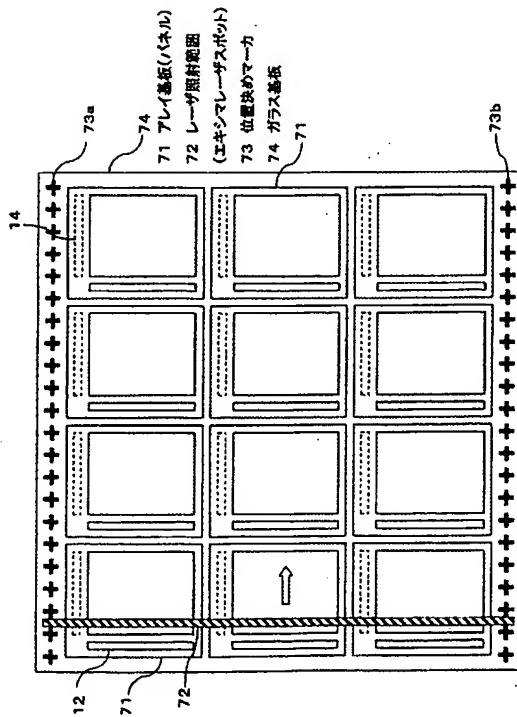
【図 5】



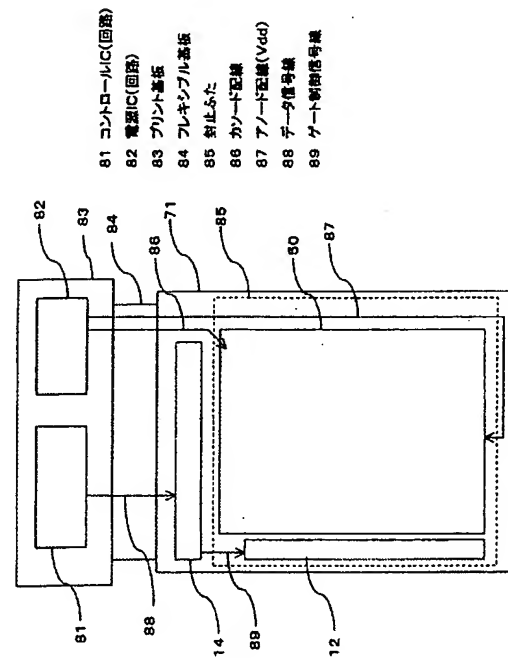
【図 6】



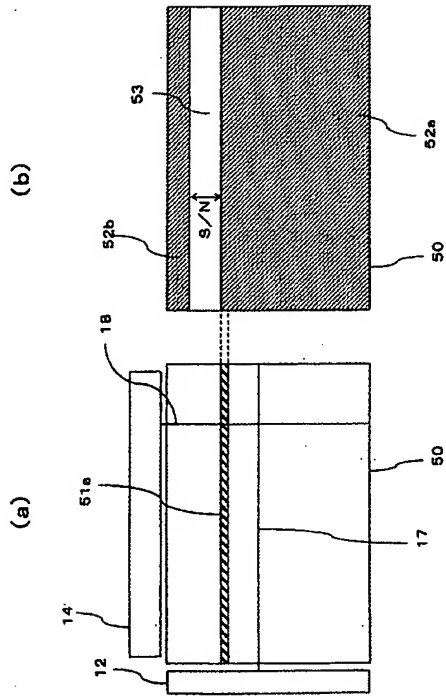
【図 7】



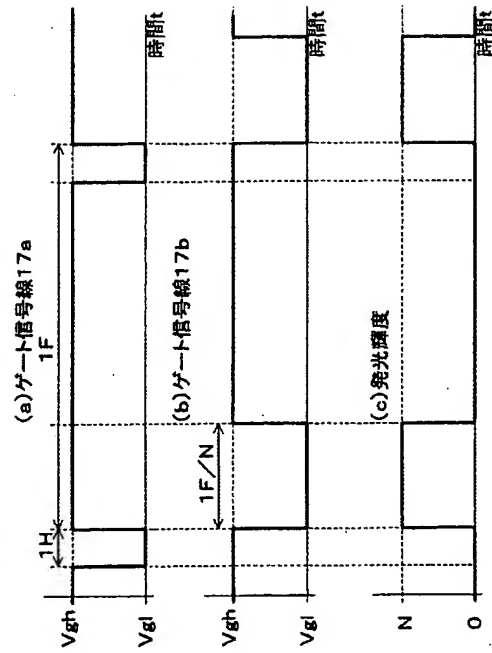
【図 8】



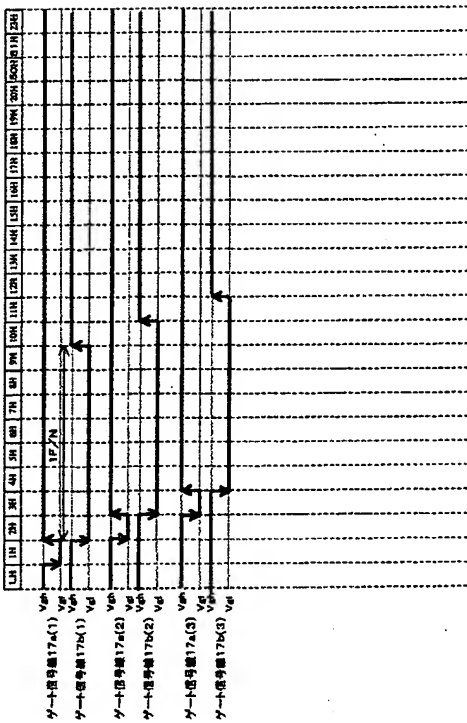
【図 1 3】



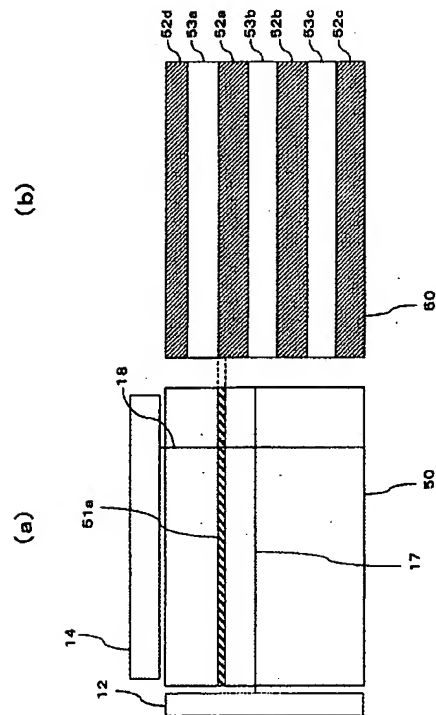
【図 1 4】



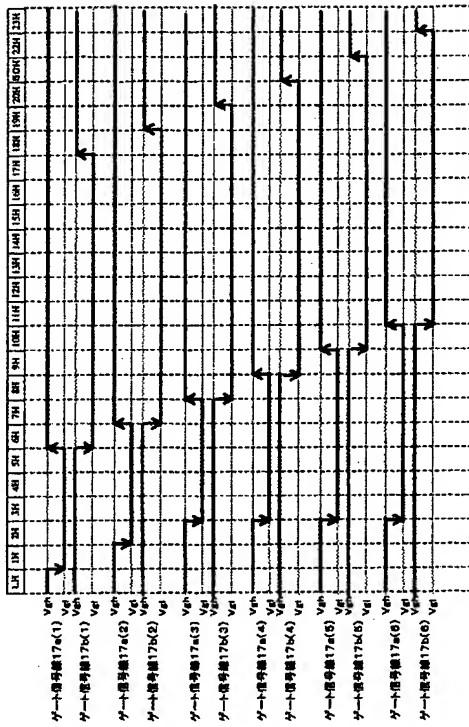
【図 1 5】



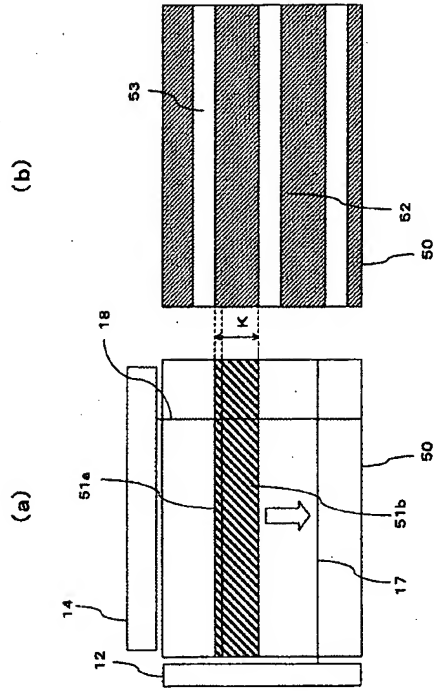
【図 1 6】



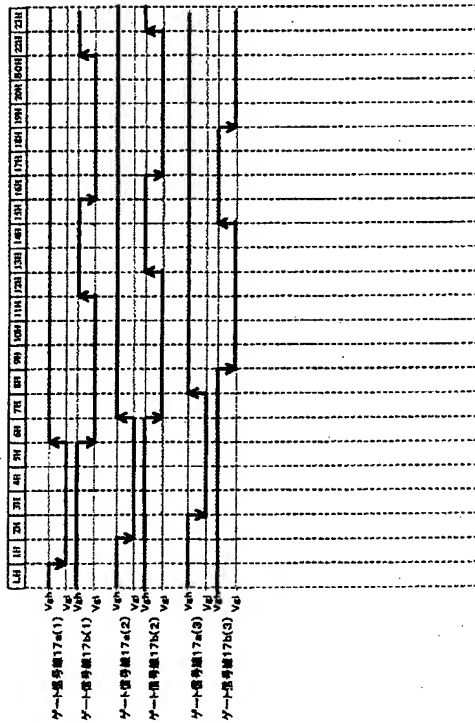
【図 2 1】



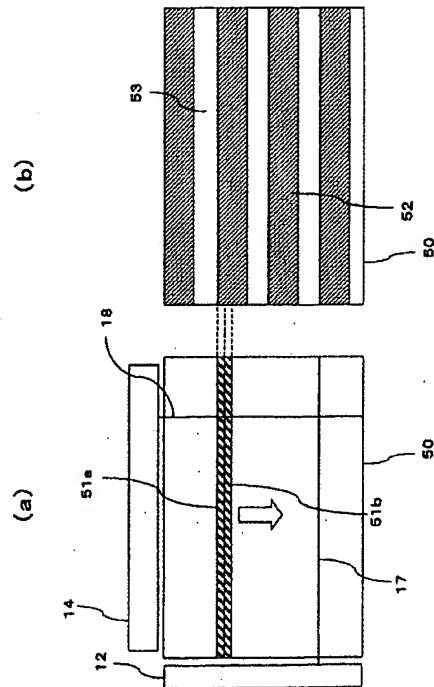
【図 2 2】



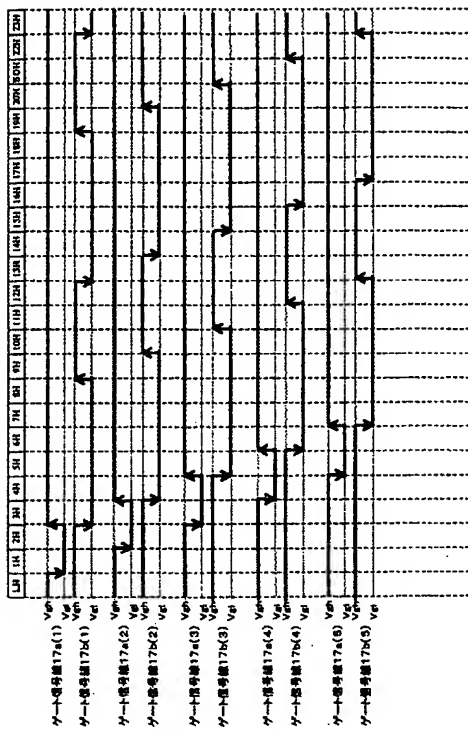
【図 2 3】



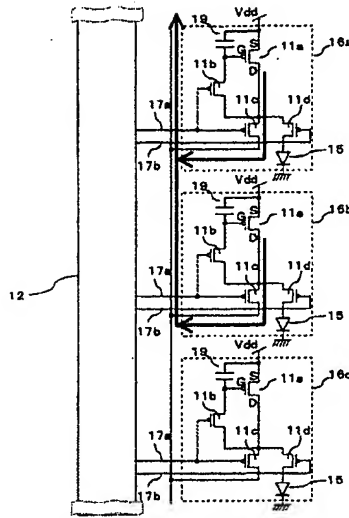
【図 2 4】



【図 25】

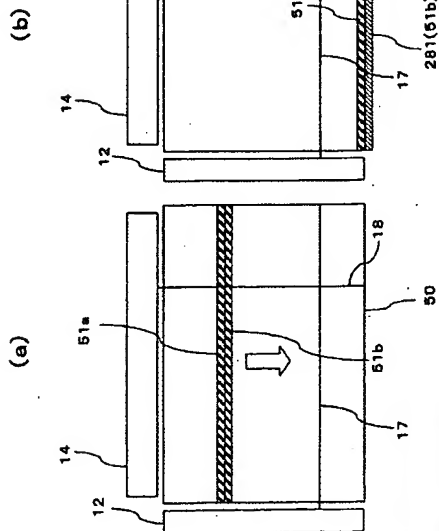


【図 26】

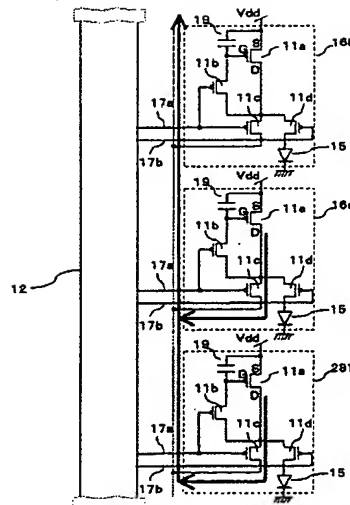


【図 27】

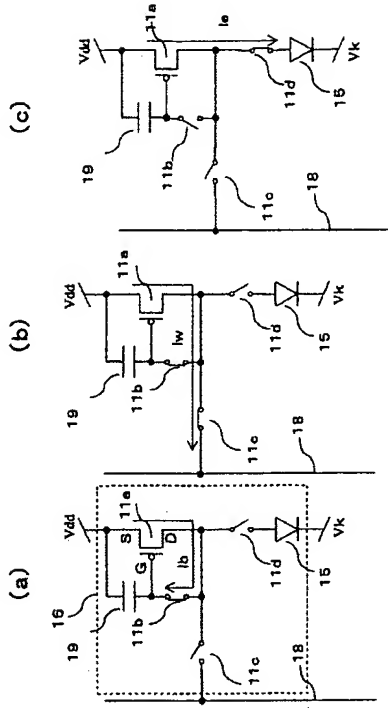
281 第一面素(行)



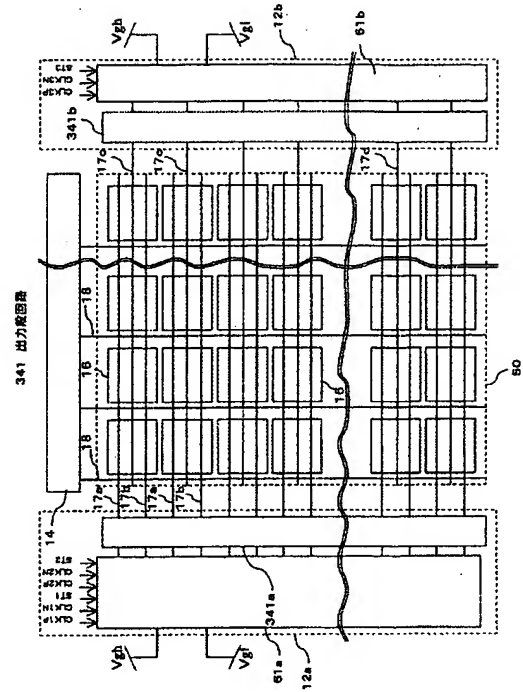
【図 28】



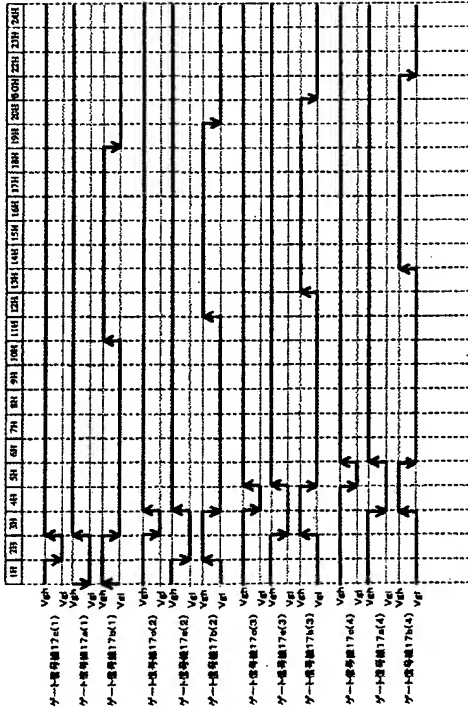
【図 3 3】



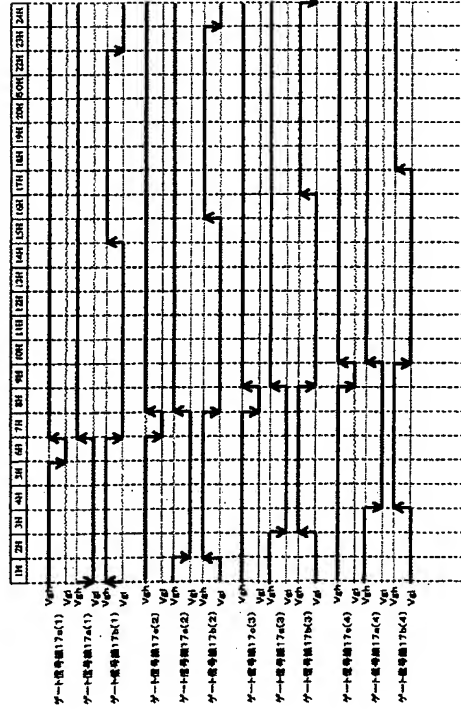
【図 3 4】



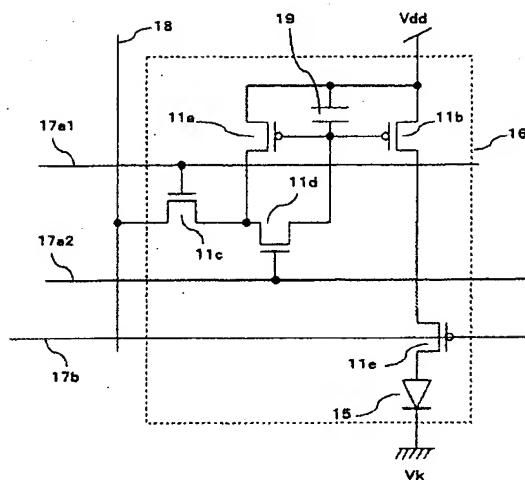
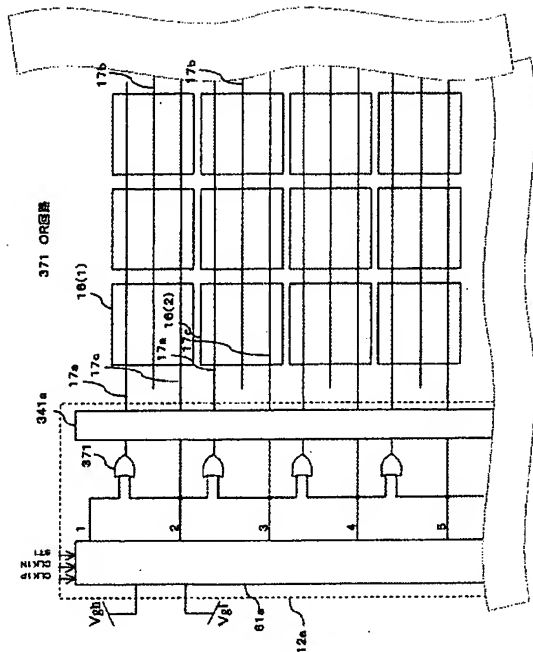
【図 3 5】



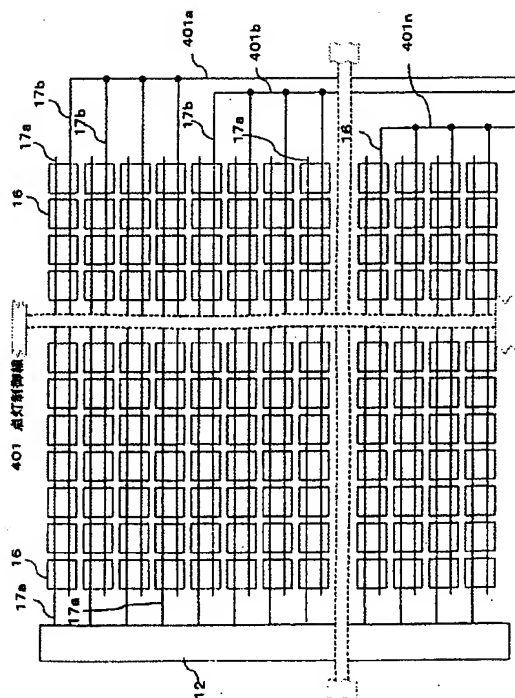
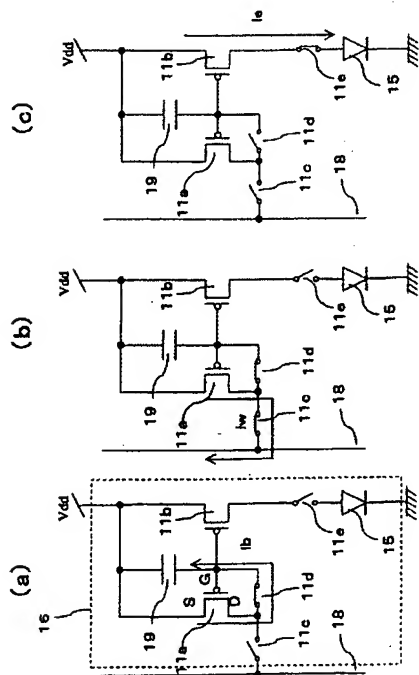
【図 3 6】



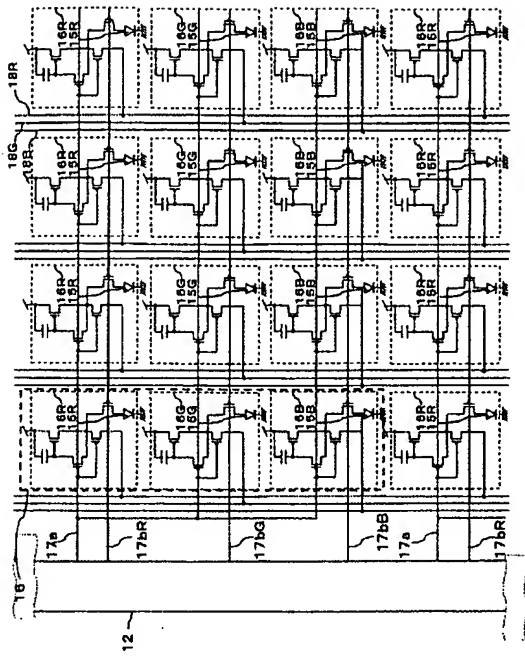
【図 38】



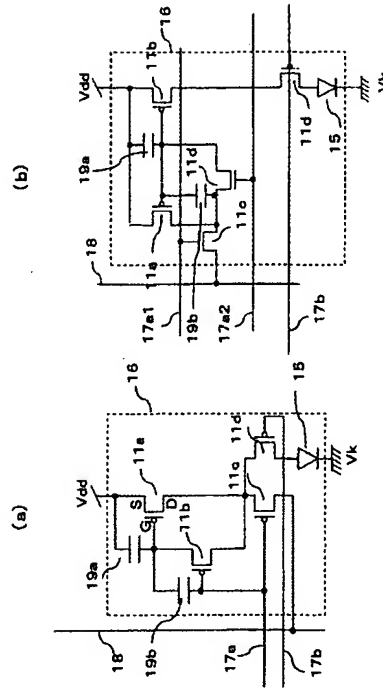
【図 40】



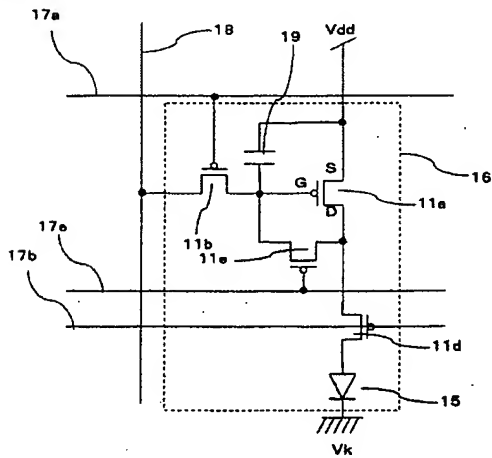
【図 4 1】



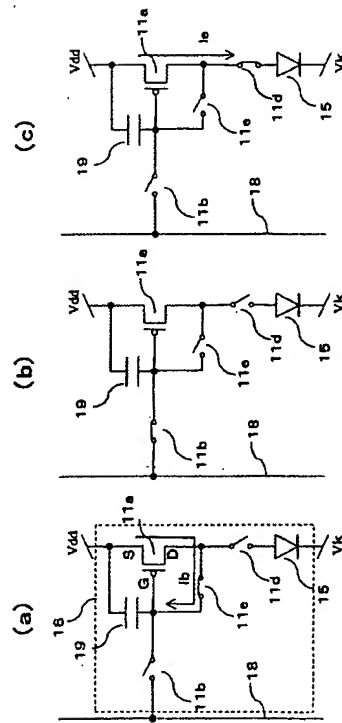
【図 4 2】



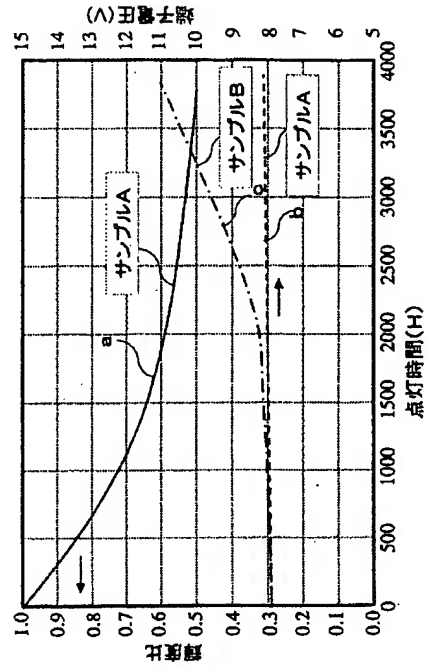
【図 4 3】



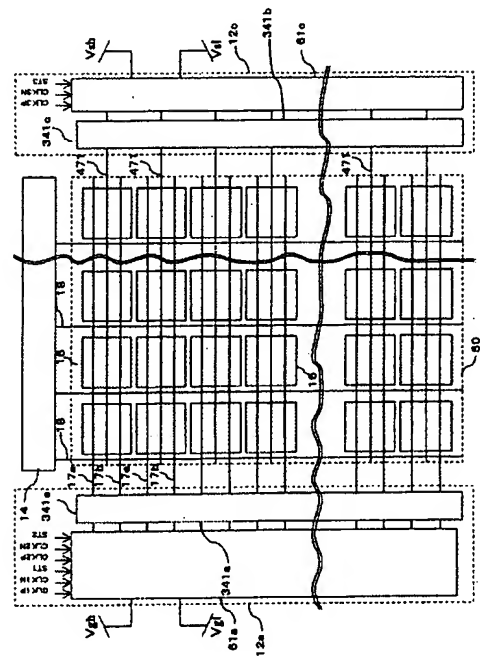
【図 4 4】



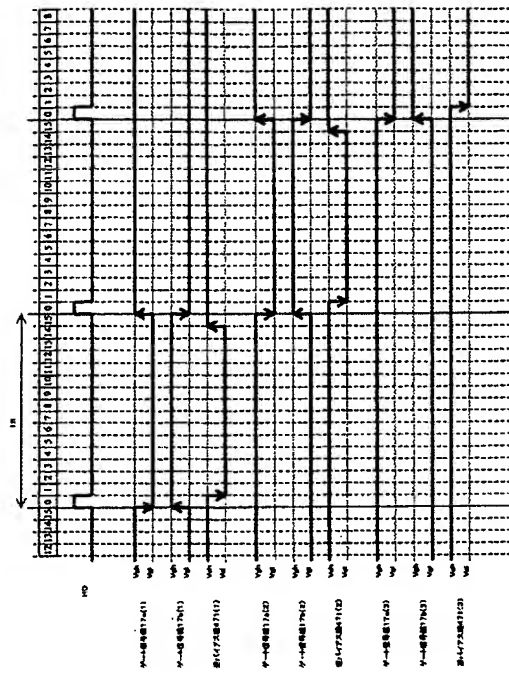
【図 46】



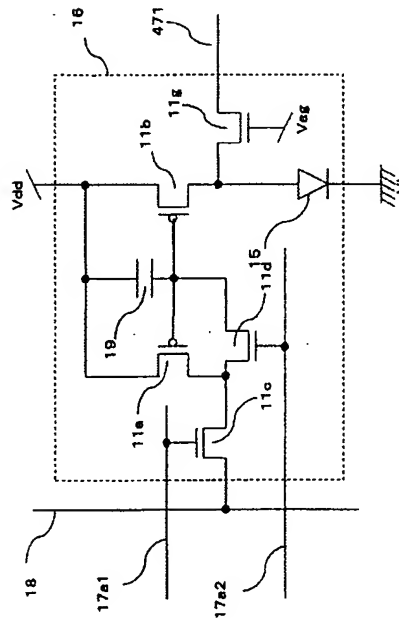
【図 48】



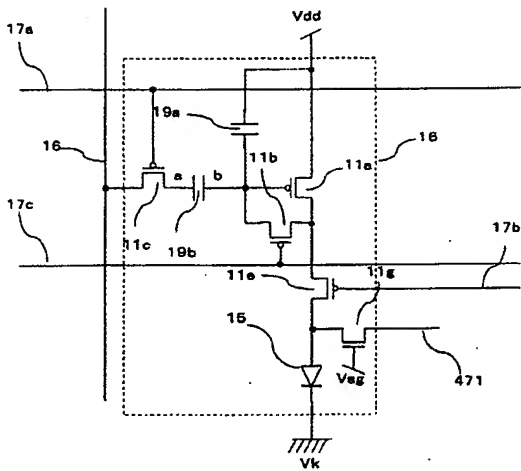
【図 49】



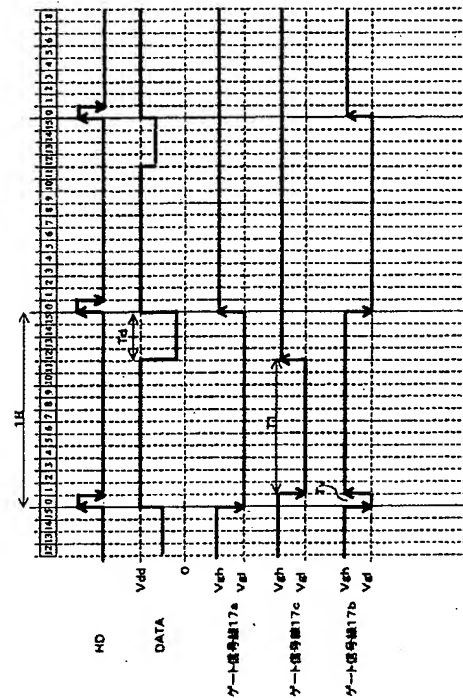
【図 50】



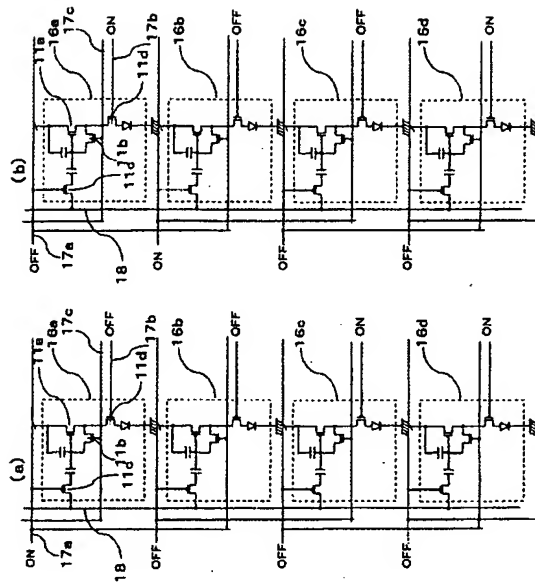
【図 51】



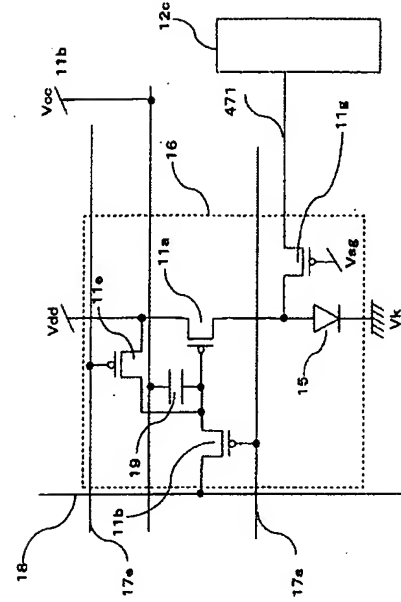
【図 52】



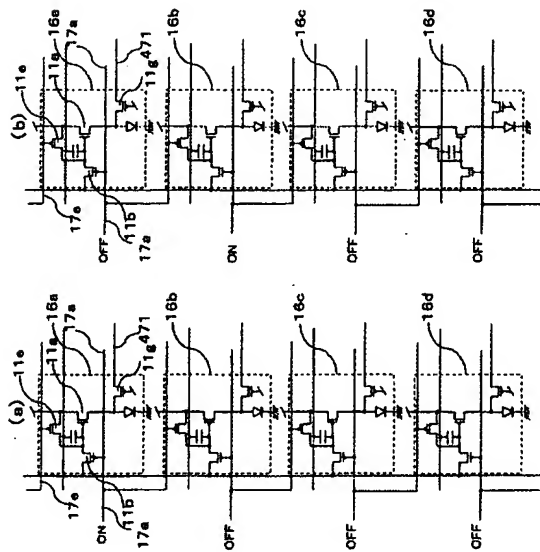
【図53】



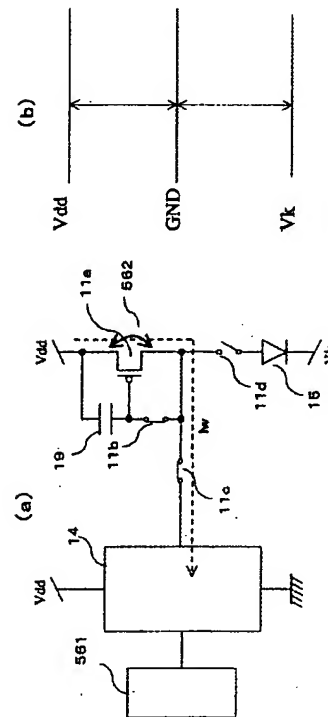
【図54】



【図55】

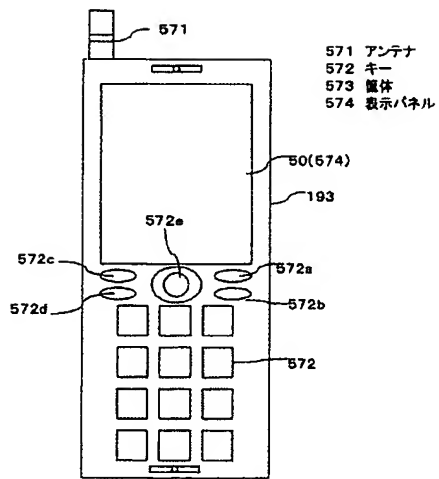


【図56】

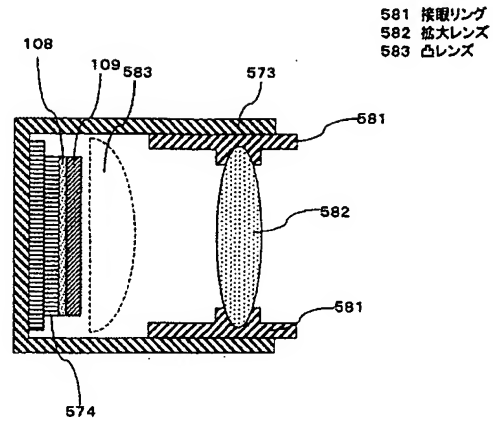


561 電子ホリウム回路
562 TFTのSDソース・ドレイン・ショート

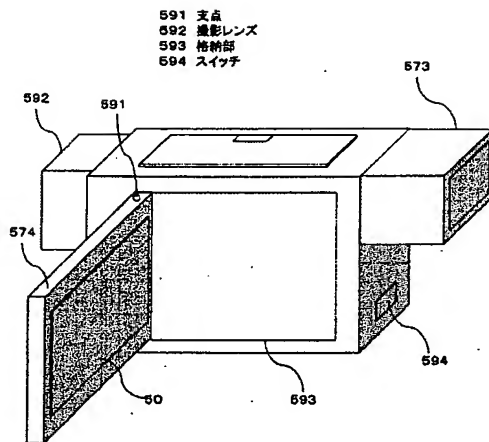
【図 57】



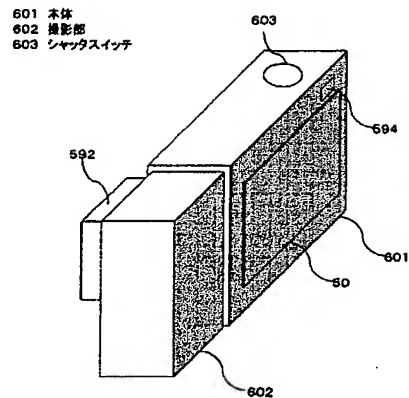
【図 58】



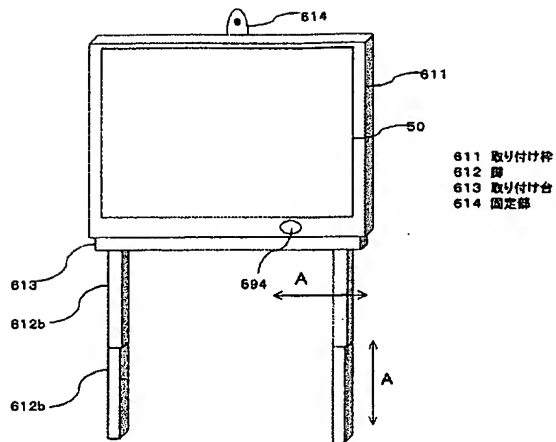
【図 59】



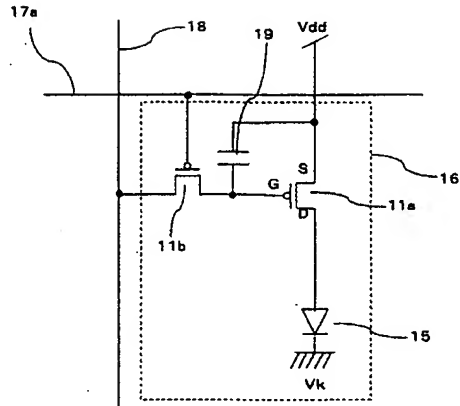
【図 60】



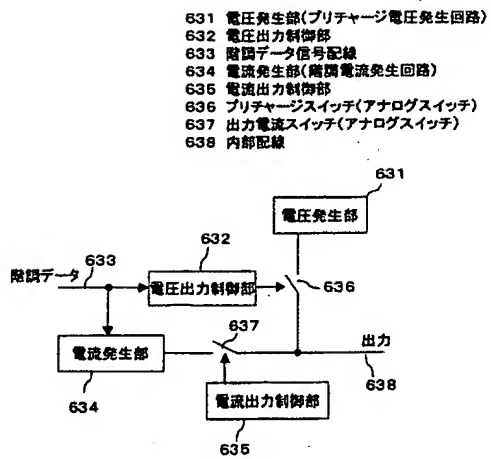
【図 6 1】



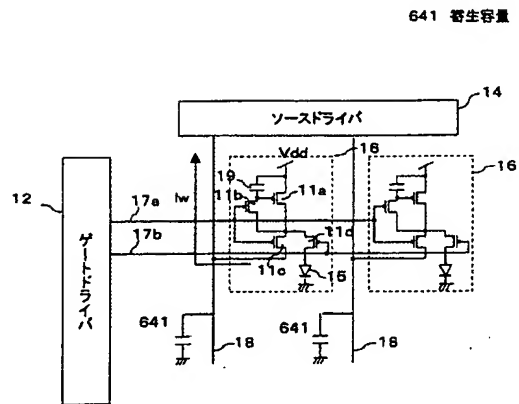
【図 6 2】



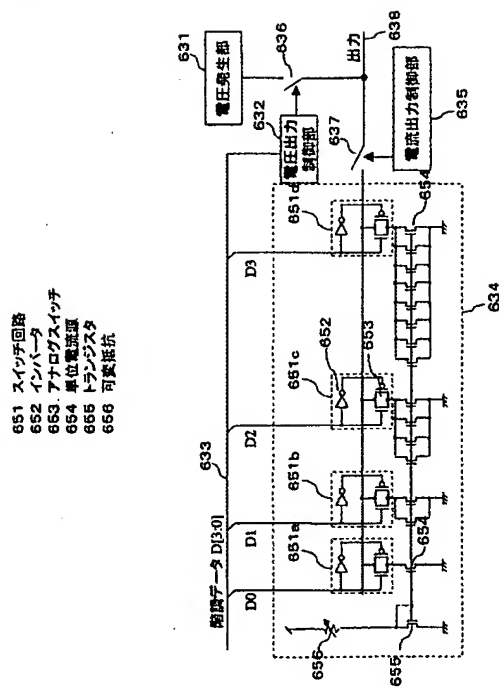
【図 6 3】



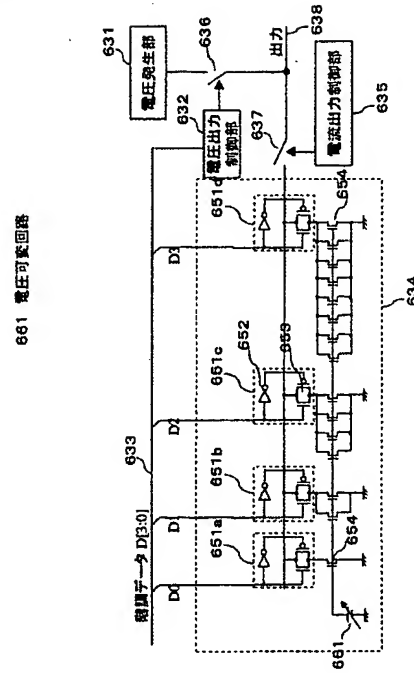
【図 6 4】



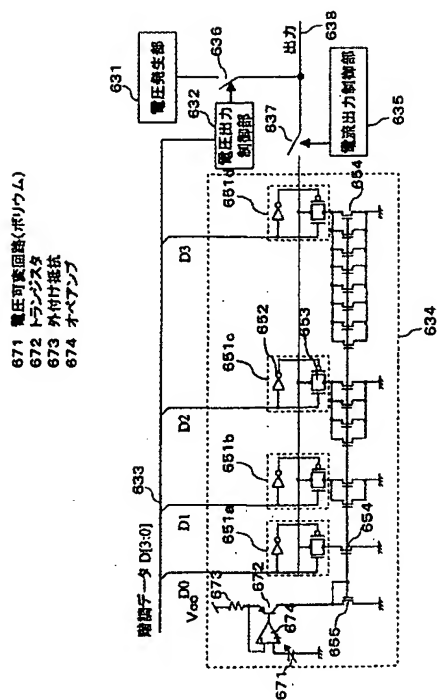
【図 65】



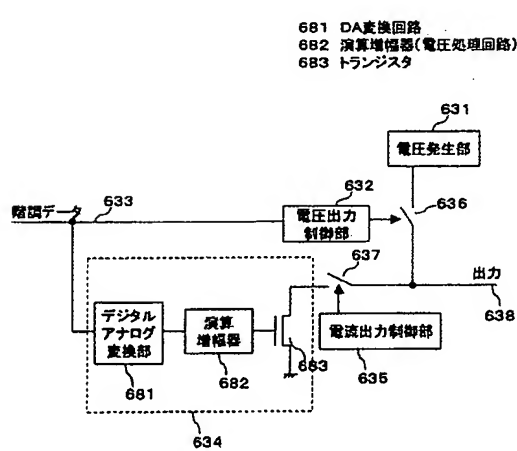
【図 66】



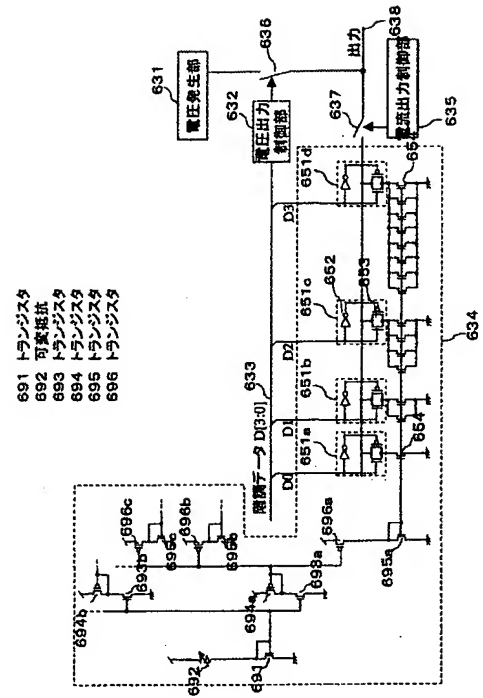
【図 67】



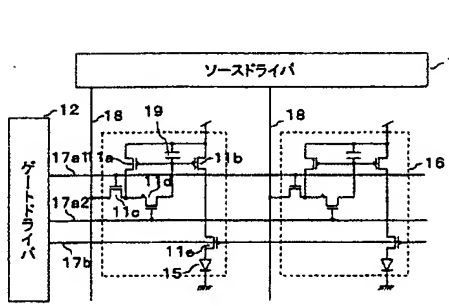
【図 68】



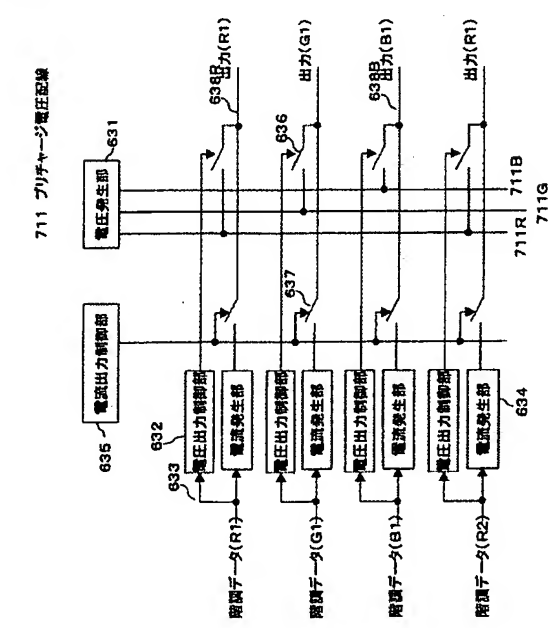
【図 69】



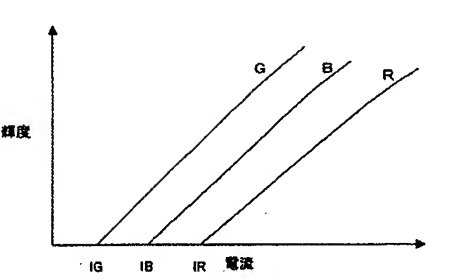
【図 70】



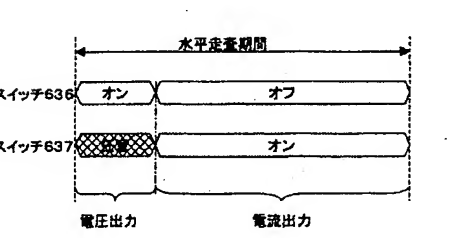
【図 71】



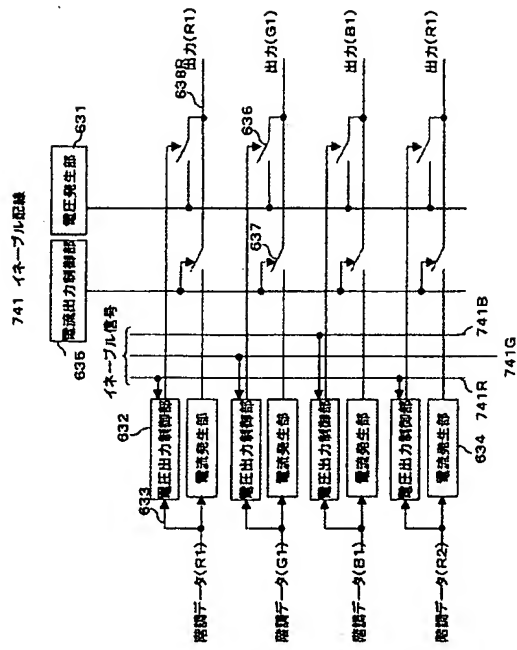
【図 72】



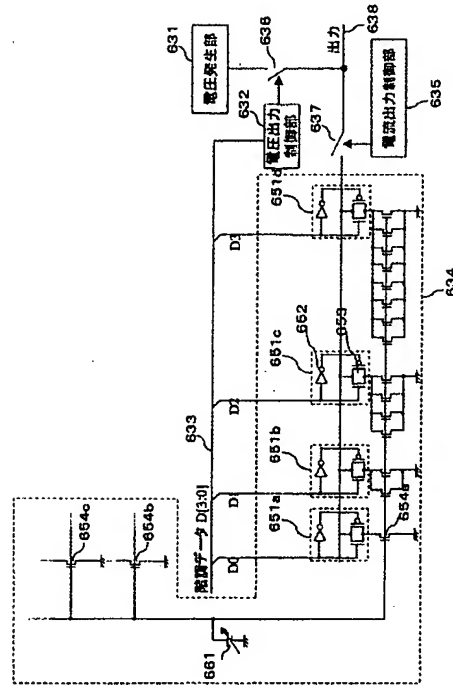
【図 73】



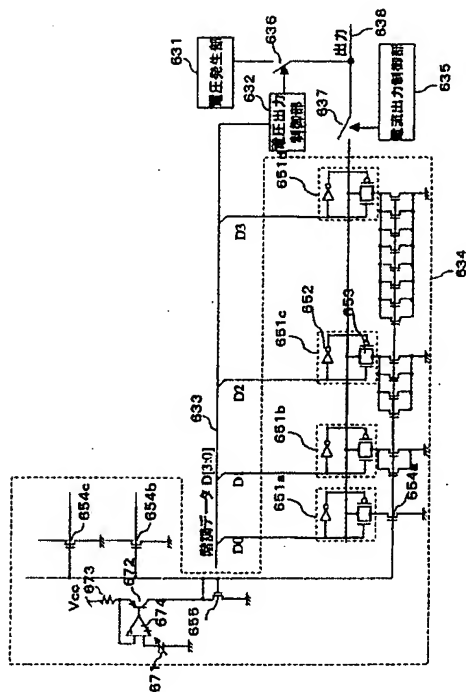
【図 74】



【図 75】

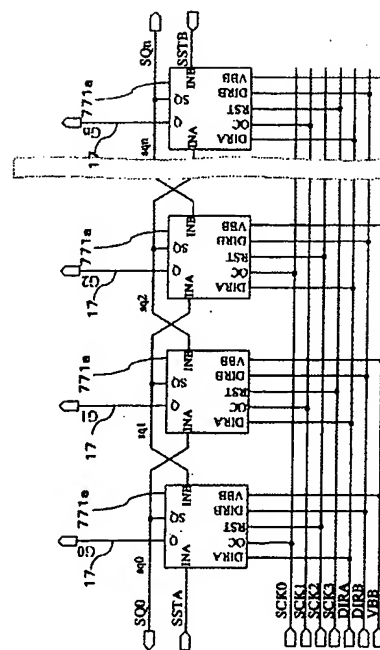


【図 76】

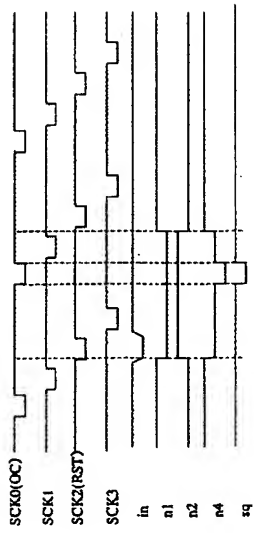


【図 77】

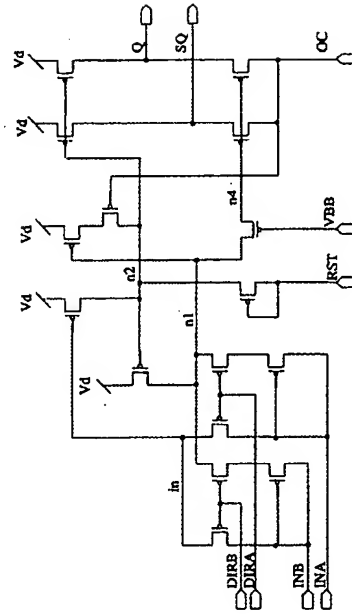
771 単位ゲート出力回路



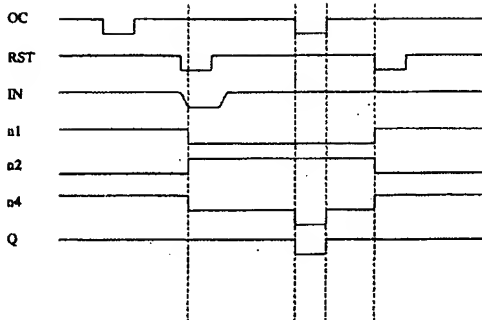
【図 7 8】



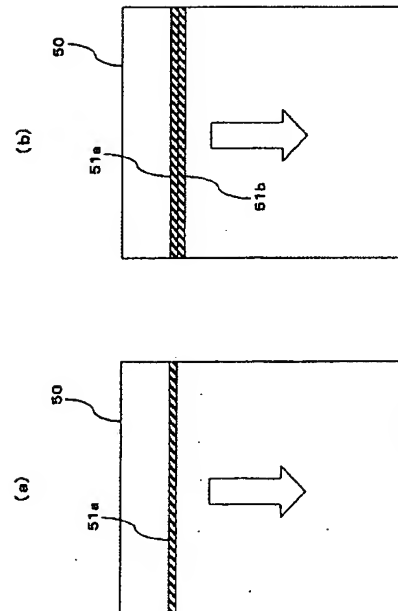
【図 7 9】



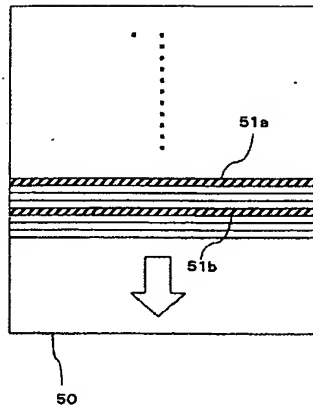
【図 8 0】



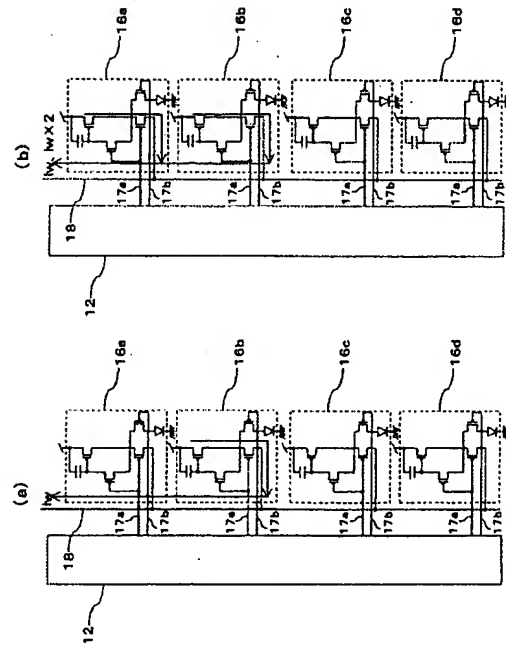
【図 8 1】



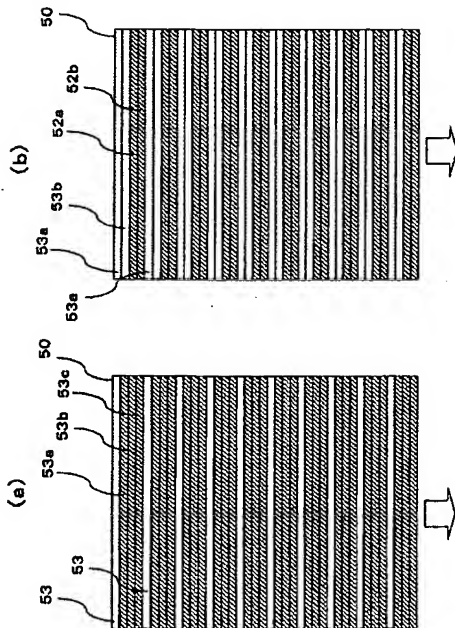
【図 8 2】



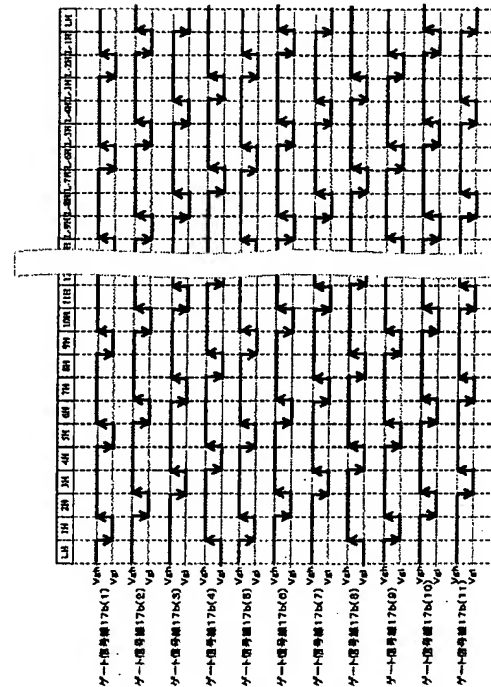
【図 8 3】



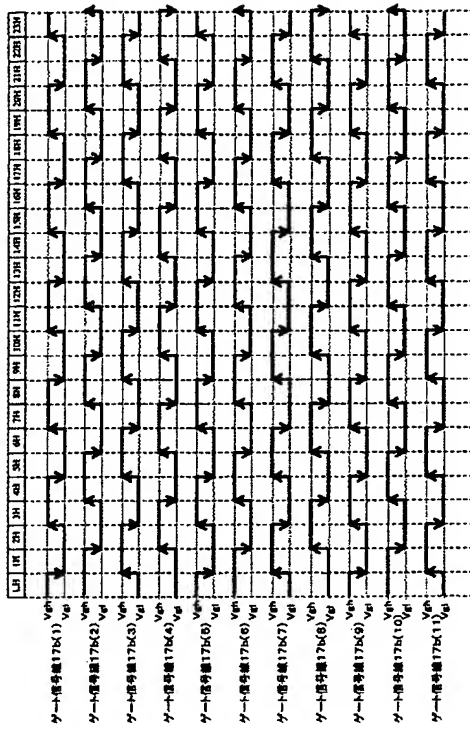
【図 8 4】



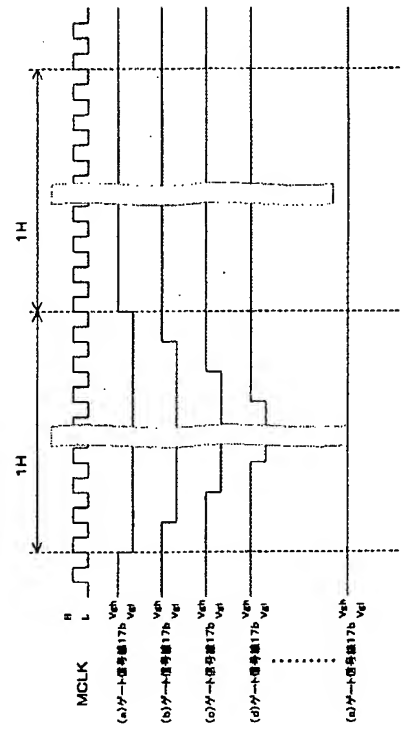
【図 8 5】



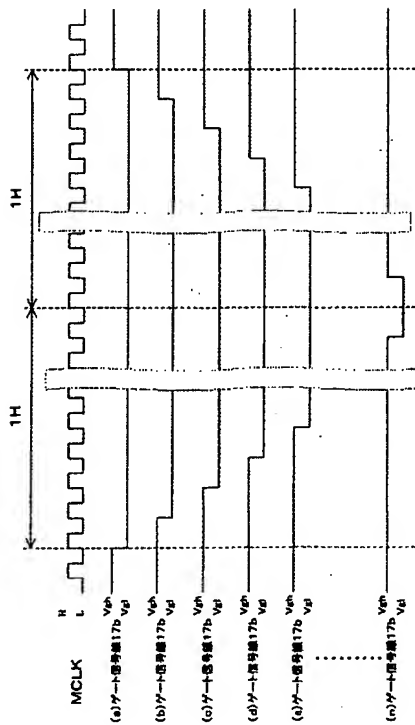
【図 86】



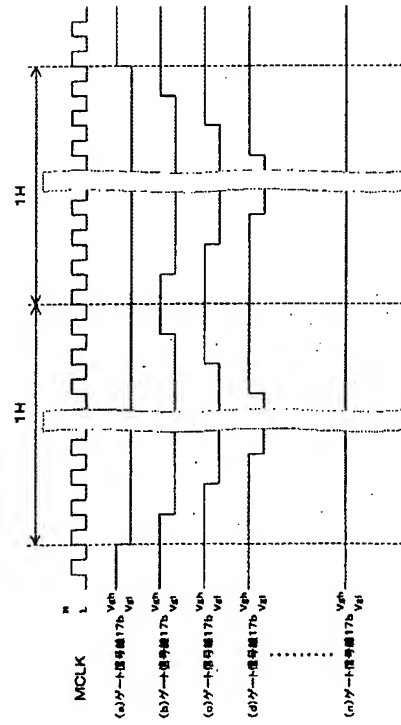
【図 87】



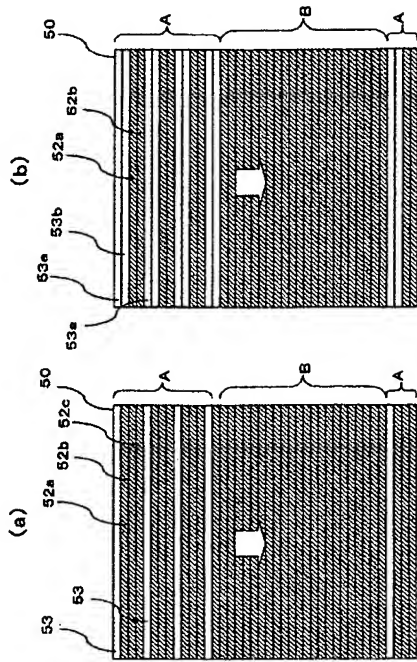
【図 88】



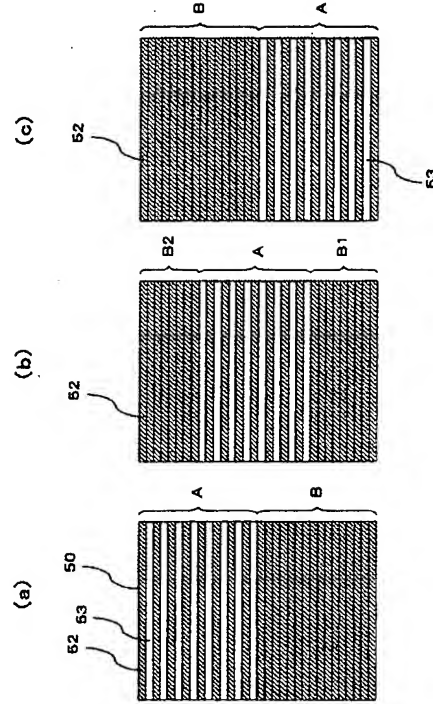
【図 89】



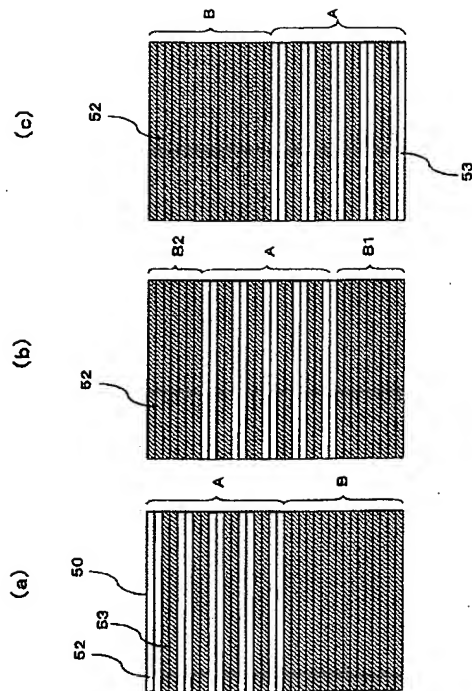
【図 90】



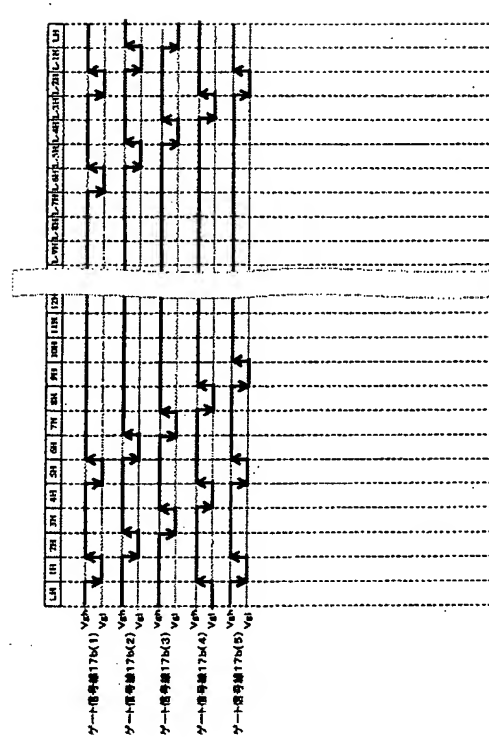
【図 91】



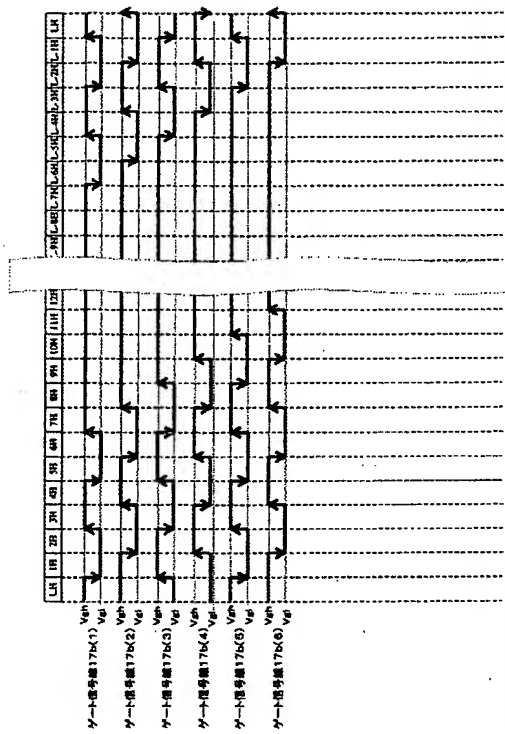
【図 92】



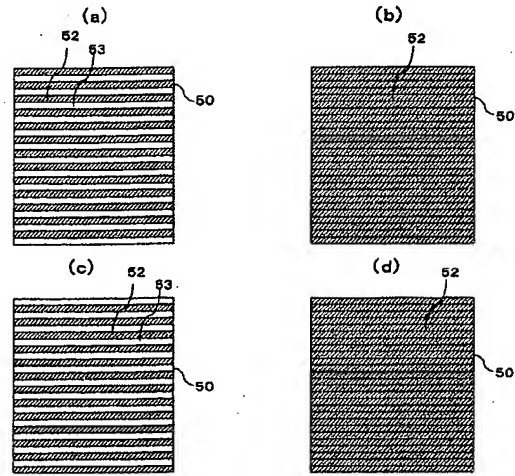
【図 93】



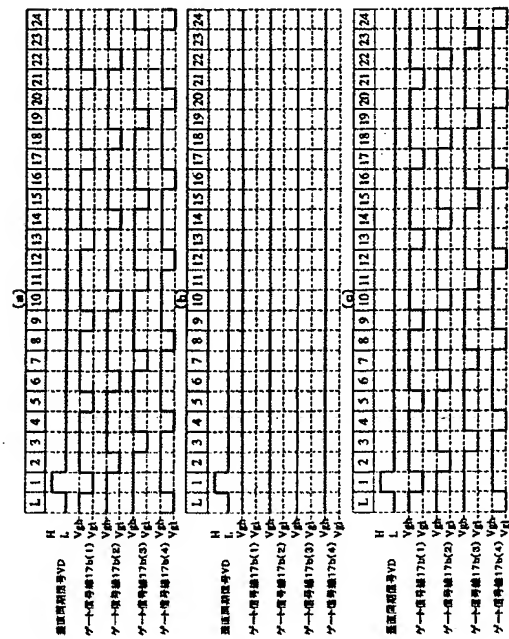
【図 9 4】



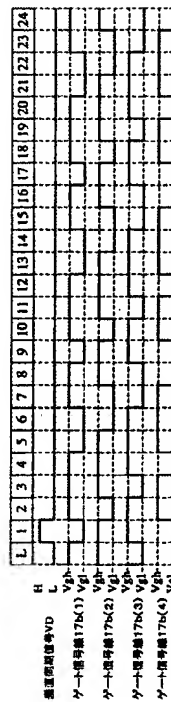
【図 9 5】



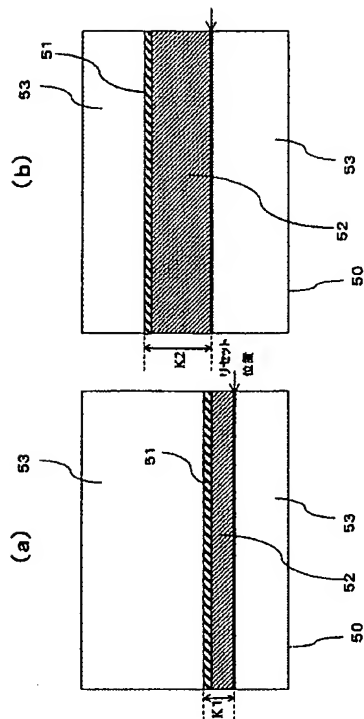
【図 9 6】



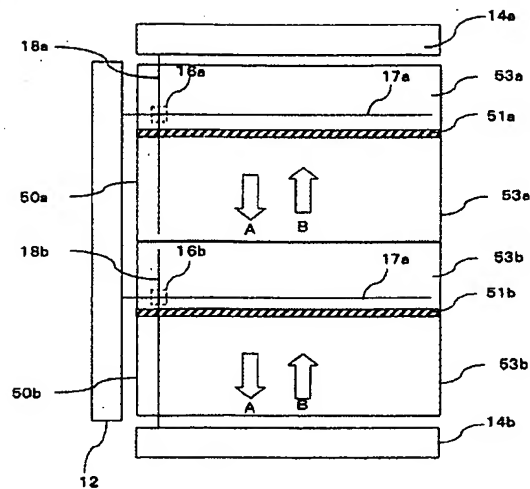
【図 9 7】



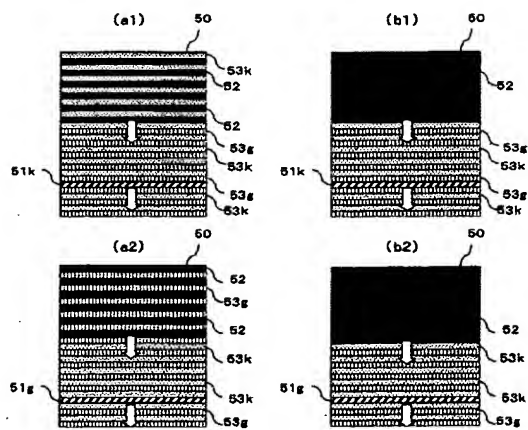
【図102】



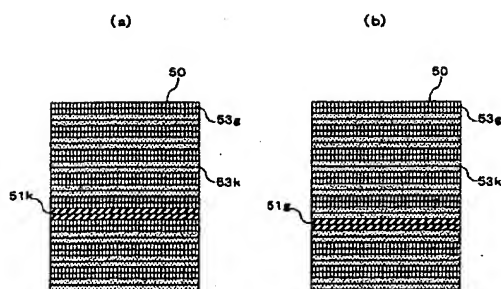
【図103】



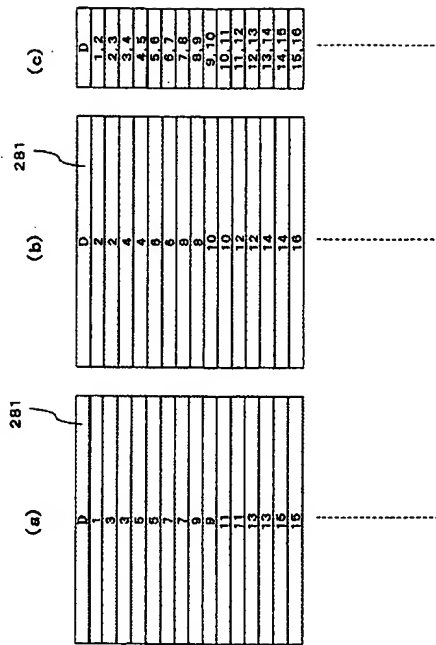
【図104】



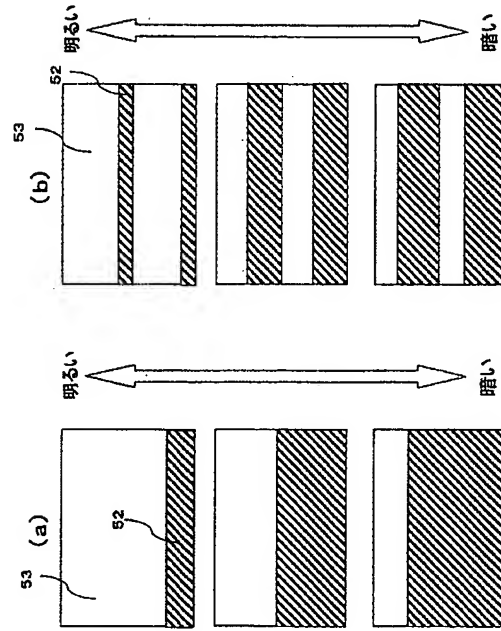
【図105】



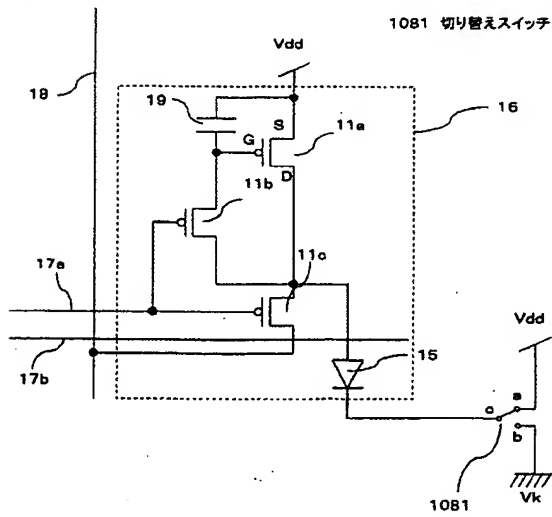
【図106】



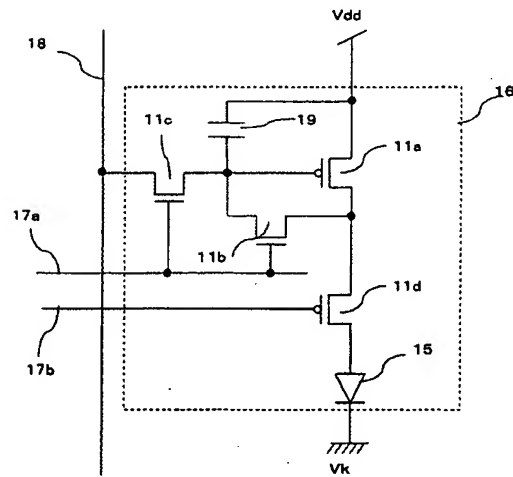
【図107】



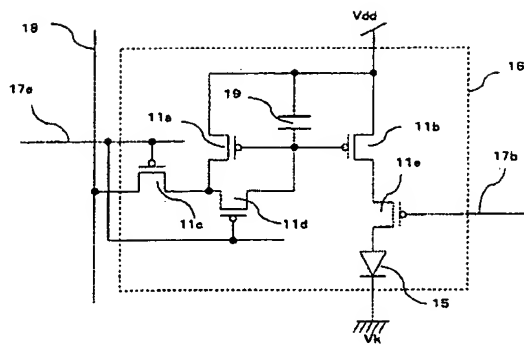
【図108】



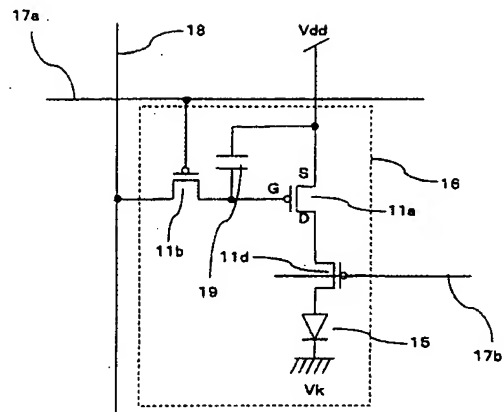
【図109】



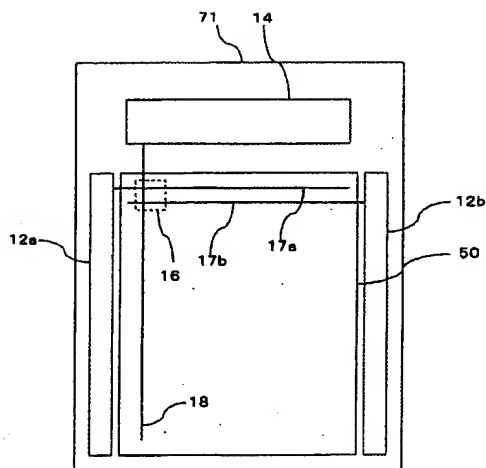
【図110】



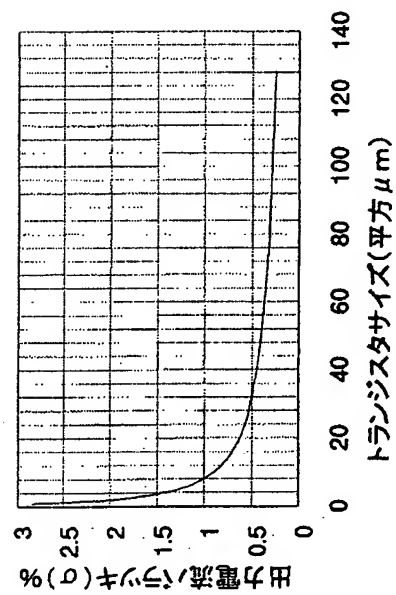
【図111】



【図112】



【図113】



フロントページの続き

(51) Int. Cl. 7

F I

デーマコード (参考)

| | | |
|---------|-------|---------|
| G 0 9 G | 3/20 | 6 4 1 A |
| G 0 9 G | 3/20 | 6 4 1 D |
| G 0 9 G | 3/20 | 6 4 1 K |
| G 0 9 G | 3/20 | 6 6 0 Q |
| H 0 5 B | 33/14 | A |

F ターム (参考) 5C080 AA06 BB05 CC03 DD01 DD06 DD08 DD12 DD15 DD25 DD28
EE19 EE26 EE28 EE29 FF01 FF11 GG10 GG11 GG12 KK47

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.